

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/011825

International filing date: 28 June 2005 (28.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-201047  
Filing date: 07 July 2004 (07.07.2004)

Date of receipt at the International Bureau: 11 August 2005 (11.08.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 4 年 7 月 7 日

出 願 番 号

Application Number:

特 願 2 0 0 4 - 2 0 1 0 4 7

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

J P 2 0 0 4 - 2 0 1 0 4 7

出 願 人

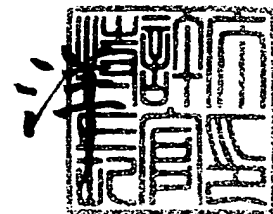
Applicant(s):

松下電器産業株式会社

2 0 0 5 年 7 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	2925060022
【提出日】	平成16年 7月 7日
【あて先】	特許庁長官 殿
【国際特許分類】	H01L 31/00 H01L 25/00 H01L 21/02
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	森 三佳
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	上田 大助
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社
【代理人】	
【識別番号】	100077931
【弁理士】	
【氏名又は名称】	前田 弘
【選任した代理人】	
【識別番号】	100094134
【弁理士】	
【氏名又は名称】	小山 廣毅
【電話番号】	06-6125-2255
【連絡先】	担当
【選任した代理人】	
【識別番号】	100110939
【弁理士】	
【氏名又は名称】	竹内 宏
【選任した代理人】	
【識別番号】	100110940
【弁理士】	
【氏名又は名称】	嶋田 高久
【選任した代理人】	
【識別番号】	100113262
【弁理士】	
【氏名又は名称】	竹内 祐二
【選任した代理人】	
【識別番号】	100115059
【弁理士】	
【氏名又は名称】	今江 克実
【選任した代理人】	
【識別番号】	100115691
【弁理士】	
【氏名又は名称】	藤田 篤史
【選任した代理人】	
【識別番号】	100117581
【弁理士】	
【氏名又は名称】	二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 16,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【書類名】特許請求の範囲

【請求項 1】

シリコンからなる基板の上に設けられた複数の光電変換部及び複数の半導体素子を含む撮像領域を備え、

前記撮像領域は、前記各光電変換部同士の間又は前記各光電変換部と前記各半導体素子との間をそれぞれ分離する複数の第 1 の素子分離領域を有し、

前記各第 1 の素子分離領域は、前記基板の上における前記各光電変換部の周囲部分に設けられ、シリコン酸化物の熱膨張係数を超え且つシリコンの熱膨張係数以下の熱膨張係数を有する材料からなることを特徴とする固体撮像装置。

【請求項 2】

前記各光電変換部は、PNP 型又は NP 型の構造を有し、

前記基板の上における前記各第 1 の素子分離領域の側面及び底面を取り囲む領域に、P 型の不純物を含む半導体層が設けられていることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記基板の上における前記撮像領域の周辺に、前記撮像領域を駆動する複数の周辺回路素子を含む周辺回路領域をさらに備え、

各周辺回路素子同士の間をそれぞれ分離する複数の第 2 の素子分離領域は、それぞれ前記第 1 の素子分離領域と同一の構造を有していることを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 4】

前記基板の上における前記撮像領域の周辺に、前記撮像領域を駆動する複数の周辺回路素子を含む周辺回路領域をさらに備え、

前記周辺回路素子同士の間をそれぞれ分離する複数の第 2 の素子分離領域は、それぞれ、STI (Shallow Trench Isolation) 構造又は LOCOS (Local Oxidation of Silicon) 構造を有していることを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 5】

前記各第 1 の素子分離領域の側面及び底面を取り囲む絶縁膜をさらに有していることを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 6】

前記絶縁膜は、シリコン酸化膜、シリコン窒化膜又はシリコン酸窒化膜であることを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 7】

前記各第 1 の素子分離領域は、線熱膨張係数が  $5.5 \times 10^{-7}/K$  を超え、 $4.2 \times 10^{-6}/K$  以下の材料からなることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の固体撮像装置。

【請求項 8】

前記各第 1 の素子分離領域は、シリコンからなることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

前記各第 1 の素子分離領域は、多結晶シリコンからなることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の固体撮像装置。

【請求項 10】

前記各第 1 の素子分離領域は、非晶質シリコンからなることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の固体撮像装置。

【請求項 11】

前記各第 1 の素子分離領域は、不純物として窒素原子又は酸素原子を含んでいるシリコンであることを特徴とする 1 から 6 のいずれか 1 項に記載の固体撮像装置。

【請求項 12】

前記シリコンは、少なくとも一部が多孔質であることを特徴とする請求項 8 から 11 の

いずれか 1 項に記載の固体撮像装置。

【請求項 13】

前記複数の半導体素子は、第 1 導電型のチャネル構造を有し、

前記素子分離領域は、第 2 導電型であることを特徴とする請求項 8 から 12 のいずれか 1 項に記載の固体撮像装置。

【請求項 14】

前記複数の半導体素子は、第 1 導電型のチャネル構造を有する複数の第 1 導電型素子と、第 2 導電型のチャネル構造を有する複数の第 2 導電型素子とを含み、

前記複数の第 1 の素子分離領域のうち、少なくとも前記各光電変換部と前記各第 1 導電型素子との間を分離する各第 1 の素子分離領域は第 2 導電型であり、

前記複数の第 1 の素子分離領域のうち、少なくとも前記各光電変換部と前記各第 2 導電型素子との間を分離する各第 1 の素子分離領域は、第 1 導電型であることを特徴とする請求項 8 から 12 のいずれか 1 項に記載の固体撮像装置。

【請求項 15】

シリコンからなる基板の上部を選択的にエッチングして複数の溝部を形成する溝部形成工程と、

前記各溝部にシリコンを埋め込むことにより前記各溝部に素子分離領域を形成する素子分離領域形成工程と、

前記基板の所定の領域に不純物を注入することにより、前記素子分離領域により絶縁分離されてなる複数の光電変換部を形成する光電変換部形成工程とを備えていることを特徴とする固体撮像装置の製造方法。

【請求項 16】

前記溝部形成工程と前記素子分離領域形成工程との間に、前記基板における前記各溝部が形成された領域に P 型の不純物を注入し、前記各溝部の底部及び側部に P 型の不純物を含む半導体層を形成する工程をさらに備えていることを特徴とする請求項 15 に記載の固体撮像装置の製造方法。

【請求項 17】

前記溝部形成工程と前記素子分離領域形成工程との間に、前記各溝部の底部及び側部に絶縁膜を形成する絶縁膜形成工程をさらに備えていることを特徴とする請求項 15 又は 16 に記載の固体撮像装置の製造方法。

【請求項 18】

前記絶縁膜形成工程は、前記基板に対して熱処理を行うことにより前記各溝部の底部及び側部に酸化膜を形成する工程であることを特徴とする請求項 17 に記載の固体撮像装置の製造方法。

【請求項 19】

前記絶縁膜形成工程は、化学気相堆積法により前記各溝部の底部及び側部に絶縁膜を堆積する工程であることを特徴とする請求項 17 に記載の固体撮像装置の製造方法。

【請求項 20】

前記素子分離領域形成工程は、化学気相堆積法により前記各溝部にシリコンを埋め込む工程であることを特徴とする請求項 15 から 19 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 21】

前記素子分離領域形成工程の後に、前記素子分離領域に対して陽極化成を行うことにより前記素子分離領域を多孔質化する工程をさらに備えていることを特徴とする請求項 20 に記載の固体撮像装置の製造方法。

【請求項 22】

前記素子分離領域形成工程は、第 1 導電型の第 1 のシリコン層と、第 2 導電型の第 2 のシリコン層とを交互に堆積する工程であり、

前記第 1 のシリコン層又は前記第 2 のシリコン層に対して陽極化成を行うことにより多孔質化する工程をさらに備えていることを特徴とする請求項 20 に記載の固体撮像装置の

製造方法。

【請求項 23】

シリコンからなる基板の上面に対して選択的に陽極化成を行って、前記基板の一部の領域を多孔質化することにより前記一部の領域に複数の素子分離領域を形成する素子分離領域形成工程と、

前記基板の所定の領域に不純物を注入することにより、前記素子分離領域により絶縁分離されてなる複数の光電変換部を形成する光電変換部形成工程とを備えていることを特徴とする固体撮像装置の製造方法。

【請求項 24】

前記素子分離領域形成工程よりも前に、不純物のドーピングにより、前記基板における前記各素子分離領域の形成予定領域を、前記基板の導電型と逆の導電型とする工程をさらに備えていることを特徴とする請求項 23 に記載の固体撮像装置の製造方法。

【請求項 25】

前記多孔質膜形成工程よりも後に、

前記基板に対して不純物を注入することにより、前記基板における前記各素子分離領域を除く領域の上面及び前記素子分離領域の底部及び側部に P 型の不純物を含む半導体層を選択的に形成する工程をさらに備えていることを特徴とする請求項 23 又は 24 に記載の固体撮像装置に製造方法。

【請求項 26】

前記素子分離領域形成工程よりも後に、前記素子分離領域の底部及び側部に酸化膜を形成する酸化膜形成工程をさらに備えていることを特徴とする請求項 23 から 25 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 27】

前記酸化膜形成工程は、熱処理を行うことにより前記素子分離領域の底部及び側部に酸化膜を形成する工程であることを特徴とする請求項 26 に記載の固体撮像装置の製造方法。

【請求項 28】

前記酸化膜形成工程は、塩化水素溶液中において、前記素子分離領域に電流を流すことにより前記素子分離領域の底部及び側部に酸化膜を形成する工程であることを特徴とする請求項 26 に記載の固体撮像装置の製造方法。

【請求項 29】

請求項 1 から 14 のいずれか 1 項に記載の固体撮像装置を備えていることを特徴とするカメラ。

【書類名】明細書

【発明の名称】固体撮像装置、その製造方法及びそれを用いたカメラ

【技術分野】

【0001】

本発明は、半導体基板上に複数の画素を有する撮像領域が設けられた固体撮像装置、その製造方法及びカメラに関する。

【背景技術】

【0002】

CMOS (Complementary Metal Oxide Semiconductor) 型の固体撮像装置は、各画素を構成するフォトダイオードに蓄積された信号を、MOSトランジスタを含む増幅回路によって読み出すイメージセンサである。このCMOS型固体撮像装置は低電圧で動作すると共に低消費電力であり、さらに周辺回路とワンチップ化することができるという長所を有している。

【0003】

このため、CMOS型固体撮像装置はパーソナルコンピュータ用小型カメラ及び携帯電話等の携帯機器に用いる撮像素子として注目されている。近年、CMOS型固体撮像装置は多画素化が求められており、一画素あたりのセルサイズは縮小化される傾向にある。

【0004】

図14は従来一般的なCMOS型固体撮像装置の回路構成の一例を示している。図14に示すように、複数の画素26がマトリックス状に配列された撮像領域27と、画素を選択するための垂直シフトレジスタ28及び水平シフトレジスタ29と、垂直シフトレジスタ28及び水平シフトレジスタ29に必要なパルスを供給するタイミング発生回路30とが1つの基板の上に設けられている。

【0005】

撮像領域27に配置された各画素26は、光電変換部であるフォトダイオード21とこれに付随する半導体素子とからなり、光電変換部21の出力部には転送用トランジスタ22のソースが接続されている。転送用トランジスタ22のドレインには、ドレインが電源33に接続されたリセット用トランジスタ23のソースと、ドレインが電源33に接続されソースが選択用トランジスタ25のドレインに接続された増幅用トランジスタ24のゲートとが接続されている。

【0006】

転送用トランジスタ22のゲート、リセット用トランジスタ23のゲート及び選択用トランジスタ25の各ゲートは、それぞれ垂直シフトレジスタ28からの出力パルス線31、出力パルス線32及び出力パルス線34に接続され、選択用トランジスタ25のソースは、水平シフトレジスタ29からの出力パルス線35に接続されている。

【0007】

撮像領域27において、半導体基板上に形成されたフォトダイオード21及び各半導体素子をそれぞれ分離する素子分離用領域には一般的に熱酸化膜であるLOCOS (Local Oxidation of Silicon) が形成されている。しかし、LOCOSを用いた場合には、素子分離特性を満たすために素子分離領域の幅を広くする必要がある。さらに、LOCOSを形成する場合にはバースピークが発生するため、素子分離領域が活性領域にはみ出すので、活性領域の幅をあらかじめ広く確保する必要がある。このため、一画素あたりの素子分離領域の占有面積及び活性領域の占有面積を大きくしなければならないので、一画素あたりのサイズを縮小することは困難である。

【0008】

このような問題を解決する方法として、以下のような従来技術がある（特許文献1を参照）。図15は従来例に係る固体撮像装置のフォトダイオード部分の断面構成を示している。

【0009】

図15に示すように、N型シリコン基板53の最表面には、表面からの電荷の漏洩を防



止する厚さが薄い $P^+$ 型シリコン層56が設けられており、 $P^+$ 型シリコン層56の下には、上から順に信号電荷蓄積領域であるN型シリコン層54と $P^-$ 型シリコン層55とが設けられておりフォトダイオード62が形成されている。

#### 【0010】

N型シリコン基板53の表面におけるフォトダイオード62の周囲には、N型シリコン基板53の最表面からN型シリコン層54と同程度の深さにまで達する素子分離領域52が設けられており、素子分離構造52はシリコン酸化( $SiO_2$ )膜61に内壁が覆われたウエルに $SiO_2$ 等の絶縁膜が埋め込まれたSTI(Shallow Trench Isolation)構造を有している。これにより、基板表面においてフォトダイオード62は、周辺の他の素子から電氣的に分離されている。

#### 【0011】

また、フォトダイオード62の底部に接してP型ディープウエル59が設けられており、 $P^+$ 型シリコン層56とP型ディープウエル59とは、素子分離領域52の側面及び底面を取り囲むように設けられた $P^+$ 型チャネルストップ層57と、 $P^+$ 型チャネルストップ層57の下側に順に設けられた $P^-$ 型シリコン層55の側面を取り囲むP型表面ウエル58及びP型プラグウエル60とによって電氣的に接続されている。これにより、N型の信号電荷蓄積領域は基板内においても周辺素子から電氣的に分離され、信号電荷が漏洩することがない。

#### 【0012】

フォトダイオード62の素子分離領域52に囲まれた領域である受光領域51に入射した光は、N型シリコン層54と $P^+$ 型シリコン層56又は $P^-$ 型シリコン層55とのPN接合部に達すると正孔と電子に変換され、入射光の光量に応じた信号電荷(電子)が信号電荷蓄積部であるN型シリコン層54及び $P^-$ 型シリコン層55に蓄積される。従って、フォトダイオードの感度を向上させ、一画あたりのサイズを小さくするためには、受光領域51を大きくすると共に、素子分離領域52を小さくする必要がある。

#### 【0013】

本従来例においては、素子分離領域52をSTI構造により形成しているため、バースピークは発生しないので、素子分離領域が受光領域51にはみ出すことはない。従って、受光領域51の面積がバースピークにより減少しないため、受光領域51の面積を大きく確保することができる。また、STI構造の素子分離領域52は、素子分離に必要な絶縁材料の幅がLOCOS構造等と比べて狭いため、素子分離構造自体の面積を縮小できるので、フォトダイオードの感度を向上させることができる。

【特許文献1】特開2004-39832公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0014】

しかしながら、前記従来例においては、素子分離領域にSTI構造を用いているため、シリコン基板の表面にエッチングによりウエルを形成し、ウエルの内壁に熱処理等により $SiO_2$ 膜を形成した後、ウエル内に絶縁膜を埋め込むというプロセスが必要である。

#### 【0015】

このようなSTI構造の素子分離領域を形成する場合には、絶縁膜である $SiO_2$ をウエルに埋め込む際に素子分離領域の界面付近にシリコン欠陥が発生するという問題がある。また、シリコン基板と $SiO_2$ との熱膨張係数の違いにより、固体撮像装置を形成するプロセスの熱処理工程において応力誘起欠陥が発生するという問題もある。

#### 【0016】

このような欠陥が生じた場合には、光電変換された電荷以外に、応力に起因する電荷及びシリコンの欠陥に起因する電荷がフォトダイオードの信号電荷蓄積部に蓄積される。つまり、光が入射した際に発生する電荷以外に、光が受光領域に入射していない場合にも不要な電荷が発生し、発生した不要な電荷が信号蓄積部に蓄積されるため、画素間の特性はらつき(ランダムノイズ)及び入射光がない場合に発生する白点である白キズの原因とな

り、フォトダイオードの感度が低下するという問題がある。

#### 【0017】

本発明は、前記従来の問題を解決し、応力に起因して発生する電荷に由来するランダムノイズ及び白キズの発生を防止して、感度低下のない高感度な固体撮像装置、その製造方法及びカメラを実現できるようにすることを目的とする。

#### 【課題を解決するための手段】

#### 【0018】

前記の目的を達成するため、本発明の固体撮像装置は、素子分離領域を半導体基板と同じ熱膨張係数の材料により形成する構成とする。

#### 【0019】

具体的に本発明に係る固体撮像装置は、シリコンからなる基板の上に設けられた複数の光電変換部及び複数の半導体素子を含む撮像領域を備え、撮像領域は、各光電変換部同士の間又は各光電変換部と各半導体素子との間をそれぞれ分離する複数の第1の素子分離領域を有し、各第1の素子分離領域は、基板の上における各光電変換部の周囲部分に設けられ、シリコン酸化物の熱膨張係数を超え且つシリコンの熱膨張係数以下の熱膨張係数を有する材料からなることを特徴とする。

#### 【0020】

本発明の固体撮像装置によれば、各光電変換部同士をそれぞれ分離する第1の素子分離領域が、酸化シリコンの熱膨張係数を超えシリコンの熱膨張係数以下の熱膨張係数を有する素子分離膜で構成されている。このため、素子分離領域とシリコン基板との熱膨張係数はほぼ等しいので、固体撮像装置の製造工程における熱処理の際に各光電変換部に応力誘引欠陥が生じることを防止できる。その結果、応力に起因する不要な電荷の発生が防止できると共に、不要な電荷が蓄積することによって生じるランダムノイズ及び白キズを低減することが可能となる。

#### 【0021】

本発明の固体撮像装置において、各光電変換部は、PNP型又はNP型の構造を有し、基板の上における各第1の素子分離領域の側面及び底面を取り囲む領域に、P型の不純物を含む半導体層が設けられていることが好ましい。このような構成であれば、シリコン基板が有する導電型と逆の導電型を有する半導体層により、第1の素子分離領域が取り囲まれているため、第1の素子分離領域と回路素子との境界で発生する電荷が、光電変換部に蓄積されることを確実に防止できる。

#### 【0022】

本発明の固体撮像装置は、基板の上における撮像領域の周辺に、撮像領域を駆動する複数の周辺回路素子を含む周辺回路領域をさらに備え、各周辺回路素子同士の間をそれぞれ分離する複数の第2の素子分離領域は、それぞれ第1の素子分離領域と同一の構造を有していることが好ましい。このような構成とすることにより、固体撮像装置の構造を単純化できる。

#### 【0023】

また、基板の上における撮像領域の周辺に、撮像領域を駆動する複数の周辺回路素子を含む周辺回路領域をさらに備え、周辺回路素子同士の間をそれぞれ分離する複数の第2の素子分離領域は、それぞれ、STI (Shallow Trench Isolation) 構造又はLOCOS (Local Oxidation Silicon) 構造を有していてもよい。このような構成とすれば、周辺回路を高電圧動作及び高速動作させることが可能となる。

#### 【0024】

本発明の固体撮像装置において、各第1の素子分離領域の側面及び底面を取り囲む絶縁膜をさらに有していることが好ましい。このような構成とすれば、素子分離領域の上にゲート配線を設ける場合に、シリコン基板とゲート配線とが電氣的に絶縁されるので寄生容量を低減することができるので、固体撮像装置の高速動作が可能となる。また、絶縁膜は、シリコン酸化膜、シリコン窒化膜又はシリコン酸窒化膜であることが好ましい。

#### 【0025】

本発明の固体撮像装置において、各第1の素子分離領域は、線熱膨張係数が $5.5 \times 10^{-7}/K$ を超え、 $4.2 \times 10^{-6}/K$ 以下の材料からなることを特徴とすることが好ましい。このような材料であれば、熱処理の際に光電変換部に応力が加わることを確実に防止できる。

#### 【0026】

また、各第1の素子分離領域は、シリコンからなることが好ましい。このように、シリコン基板と同一の材料により素子分離膜を形成することにより、熱処理の際に光電変換部に応力が加わることを確実に防止できる。

#### 【0027】

本発明の固体撮像装置において、シリコンは、多結晶シリコンであっても、非晶質シリコンであってもよい。このようにすることにより、シリコン膜を低温で堆積することができるため、熱応力によるダメージを低減できる。

#### 【0028】

本発明の固体撮像装置において、シリコンは、不純物として窒素原子又は酸素原子を含んでいてもよい。

#### 【0029】

さらに、この場合においてシリコンは、少なくとも一部が多孔質であることが好ましい。このようにすることにより、素子分離領域の上にゲート配線を設ける場合に、基板とゲート配線との間の寄生容量を小さくすることができるので、固体撮像装置を高速に動作させることができる。

#### 【0030】

本発明の固体撮像装置において、複数の半導体素子は、第1導電型のチャネル構造を有し、素子分離領域は、第2導電型であることが好ましい。これにより、半導体素子がN型トランジスタ又はP型トランジスタのみからなる場合には、基板とゲート配線との間の寄生容量を小さくすることができるので、固体撮像装置を高速に動作させることができる。

#### 【0031】

本発明の固体撮像装置において、複数の半導体素子は、第1導電型のチャネル構造を有する複数の第1導電型素子と、第2導電型のチャネル構造を有する複数の第2導電型素子とを含み、複数の第1の素子分離領域のうち、少なくとも各光電変換部と各第1導電型素子との間を分離する各第1の素子分離領域は第2導電型であり、複数の第1の素子分離領域のうち、少なくとも各光電変換部と各第2導電型素子との間を分離する各第1の素子分離領域は、第1導電型であることが好ましい。このような構成とすることにより、半導体素子がN型トランジスタ及びP型トランジスタの両方を含む場合にも基板とゲート配線との間の寄生容量を確実に小さくすることができる。

#### 【0032】

本発明に係る第1の固体撮像装置の製造方法は、シリコンからなる基板を選択的にエッチングして複数の溝部を形成する溝部形成工程と、各溝部にシリコンを埋め込むことにより各溝部に素子分離領域を形成する素子分離領域形成工程と、基板の所定の領域に不純物を注入することにより複数の光電変換部を形成する光電変換部形成工程とを備えていることを特徴とする。

#### 【0033】

本発明の第1の固体撮像装置の製造方法によれば、エッチングにより溝部を形成し、形成された溝部にシリコン膜を埋め込むことにより素子分離領域を形成するため、素子分離領域をシリコン基板と同じ材料により形成することができるので、素子分離領域の周辺における欠陥の発生を防止することが可能となると共に、プロセスにおける熱処理の際に光電変換部に加わる応力を抑えて応力由来の欠陥の発生を防止することが可能となる。その結果、ランダムノイズ及び白キズが少ない固体撮像装置を製造することができる。

#### 【0034】

第1の製造方法は、溝部形成工程と素子分離領域形成工程との間に、基板における溝部が形成された領域にP型の不純物を注入し、溝部の底部及び側部にP型の不純物を含む半

導体層を形成する工程をさらに備えていることが好ましい。

【0035】

このようにすることにより、素子分離領域と光電変換部又は素子との間を分離するシリコン基板とは逆の導電型を有する半導体層を確実に形成することができる。

【0036】

第1の製造方法は、溝部形成工程と素子分離領域形成工程との間に、各溝部の底部及び側部に絶縁膜を形成する絶縁膜形成工程をさらに備えていることが好ましい。

【0037】

このようにすることにより、素子分離領域に絶縁膜が設けられた高速動作が可能な固体撮像装置を確実に製造することが可能となる。また、絶縁膜形成工程は、基板に対して熱処理を行うことにより各溝部の底部及び側部に酸化膜を形成する工程であることが好ましい。また、化学気相堆積法により各溝部の底部及び側部に絶縁膜を堆積する工程であってもよい。

【0038】

第1の製造方法において、素子分離領域形成工程は、化学気相堆積法により各溝部にシリコンを埋めこむ工程であることが好ましい。このようにすることにより、溝部にシリコン膜を確実に埋め込むことができる。

【0039】

また、素子分離領域形成工程の後に、素子分離領域に対して陽極化成を行うことにより素子分離領域を多孔質化する工程をさらに備えていることが好ましい。これにより、誘電率の小さな多孔質膜からなる素子分離領域を備えた固体撮像装置を確実に製造することができる。

【0040】

第1の製造方法において、素子分離領域形成工程は、第1導電型の第1のシリコン層と、第2導電型の第2のシリコン層とを交互に堆積する工程であり、第1のシリコン層又は第2のシリコン層に対して陽極化成を行うことにより多孔質化する工程をさらに備えていることが好ましい。

【0041】

このような工程とすることにより、素子分離領域の一部のみを確実に多孔質化できる。

【0042】

本発明に係る第2の固体撮像装置の製造方法は、シリコンからなる基板の上面に対して選択的に陽極化成を行って、基板の一部を多孔質化することにより複数の素子分離領域を形成する素子分離領域形成工程と、基板の所定の領域に不純物を注入することにより複数の光電変換部を形成する光電変換部形成工程とを備えていることを特徴とする。

【0043】

第2の製造方法によれば、素子分離領域をシリコン基板の上面の一部を選択的に陽極化成により多孔質化することにより形成しているため、素子分離領域をシリコン基板と同一の材料により形成することができるので、プロセスにおける熱処理の際に光電変換部に加わる応力を抑えて応力由来の欠陥の発生を防止することが可能となる。その結果、ランダムノイズ及び白キズが少ない固体撮像装置を製造することができる。また、誘電率の小さな多孔質膜からなる素子分離領域を容易に形成することができるので、素子分離領域の上にゲート配線を設ける場合において、ゲート配線とシリコン基板との間に生じる寄生容量を低減することが可能となり、その結果、高速で動作する固体撮像装置を容易に得ることができる。

【0044】

第2の製造方法において、素子分離領域形成工程よりも前に、不純物のドーピングにより、基板における各素子分離領域の形成予定領域を、基板の導電型と逆の導電型とする工程をさらに備えていることが好ましい。これにより基板とは逆の導電型を有する多孔質膜からなる素子分離領域を確実に形成することができる。

【0045】

第2の製造方法は、多孔隙質膜形成工程よりも後に、基板に対して不純物を注入することにより、基板における各素子分離領域を除く領域の上面及び素子分離領域の底部及び側部にP型の不純物を含む半導体層を選択的に形成する工程をさらに備えていることが好ましい。

#### 【0046】

このようにすることにより、素子分離領域と光電変換部又は素子との間を分離するP<sup>+</sup>型の半導体層を確実に形成することができる。

#### 【0047】

第2の製造方法は、素子分離領域形成工程よりも後に、素子分離領域の底部及び側部に酸化膜を形成する酸化膜形成工程をさらに備えていることが好ましい。このようにすることにより、素子分離領域に絶縁膜が設けられた高速動作が可能な固体撮像装置を確実に製造することが可能となる。この場合において、酸化膜形成工程は、熱処理を行うことにより素子分離領域の底部及び側部に酸化膜を形成する工程であっても、塩化水素溶液中において、素子分離領域に電流を流すことにより素子分離領域の底部及び側部に酸化膜を形成する工程であってもよい。

#### 【0048】

本発明に係るカメラは、本発明の固体撮像装置を用いることを特徴とする。このような構成とすることにより、ランダムノイズ及び白キズの少ない固体撮像装置を備えており、高解像度の撮像が可能なカメラを実現することが可能となる。

#### 【発明の効果】

#### 【0049】

本発明の固体撮像装置、その製造方法及びそれを用いたカメラによれば、素子分離領域の電気的な分離特性を確保しつつ、画素サイズの微細化及び受光領域面積の増大を実現すると共に、ランダムノイズ及び白キズの少ない固体撮像装置、その製造方法及びカメラを実現することができる。

#### 【発明を実施するための最良の形態】

#### 【0050】

##### （第1の実施形態）

以下に、本発明の第1の実施形態に係る固体撮像装置及びその製造方法について、図面を参照しながら説明する。

#### 【0051】

図1は本実施形態のCMOS型固体撮像装置の回路構成を示している。図1に示すように、複数の画素26がマトリックス状に配列された撮像領域27と、画素を選択するための垂直シフトレジスタ28及び水平シフトレジスタ29と、垂直シフトレジスタ28及び水平シフトレジスタ29に必要なパルスを供給するタイミング発生回路30とが1つの基板の上に設けられている。

#### 【0052】

撮像領域27に配置された各画素26は、光電変換部であるフォトダイオード21とこれに付随する半導体素子とからなり、光電変換部21の出力部には転送用トランジスタ22のソースが接続されている。転送用トランジスタ22のドレインには、ドレインが電源33に接続されたリセット用トランジスタ23のソースと、ドレインが電源33に接続されソースが選択用トランジスタ25のドレインに接続された増幅用トランジスタ24のゲートとが接続されている。

#### 【0053】

転送用トランジスタ22のゲート、リセット用トランジスタ23のゲート及び選択用トランジスタ25の各ゲートは、それぞれ垂直シフトレジスタ28からの出力パルス線31、出力パルス線32及び出力パルス線34に接続され、選択用トランジスタ25のソースは、水平シフトレジスタ29からの出力パルス線35に接続されている。

#### 【0054】

図2は本実施形態の固体撮像装置のフォトダイオード21部分の断面構造を示す。図2

に示すように、光電変換部であるフォトダイオード2は、PNP型の構造を有し、N型シリコンからなる半導体基板1の最上面に設けられた薄いP<sup>+</sup>型表面層5と、P<sup>+</sup>型表面層5の下に順に設けられた電荷蓄積領域である、N型シリコンからなる第1半導体層4及びP<sup>-</sup>型シリコンからなる第2半導体層6とからなる。

#### 【0055】

フォトダイオード2に入射した光は、第1半導体層4とP<sup>+</sup>型表面層5又は第2半導体層6とのPN接合界面に到達すると光電変換されて正孔と電子とを発生させる。このため、入射光量に応じた信号電荷（電子）が、第1半導体層4とP<sup>+</sup>型表面層5との間に生じる空乏層領域及び第1半導体層4と第2半導体層6との間に生じる空乏層領域に蓄積される。なお、最上面に設けられたP<sup>+</sup>型表面層5により、フォトダイオード2の表面においてランダムノイズに起因して発生する電荷を低減することができる。

#### 【0056】

フォトダイオード2は、半導体基板1の上面におけるフォトダイオード2の周りに設けられたシリコン膜14からなる素子分離領域3により、隣接する他のフォトダイオード2（図示せず）又は半導体素子（図示せず）から分離されている。

#### 【0057】

また、素子分離領域3の側面及び底面を取り囲む薄いP<sup>+</sup>型シリコン層7と、P<sup>+</sup>型シリコン層7の下側に接するP型シリコン層8とが、電荷蓄積領域である第1半導体層4の側面に接して設けられている。さらに、P<sup>+</sup>型シリコン層7とP型シリコン層8とにより、P<sup>+</sup>型表面層5と第2半導体層6とは、電氣的に接続されているため、第1半導体層4は他の素子及び基板から電氣的に絶縁されており、電荷が漏洩することはない。

#### 【0058】

本実施形態に示すように素子分離領域3にシリコン膜14を用いた場合には、素子分離膜3とシリコン基板1との熱膨張係数がほぼ同じであるため、固体撮像装置を製造する種類の工程において行われる熱処理の際に、フォトダイオード2に応力が加わることはない。従って、応力に由来する白キズの発生を低減することができる。

#### 【0059】

次に、本実施形態に係る固体撮像装置の製造方法について図面を参照しながら説明する。図3（a）から図3（d）は、本実施形態の固体撮像装置の製造工程について工程順に断面構造を示している。

#### 【0060】

まず、図3（a）に示すように、シリコン基板1の上に厚さ1nm～50nm程度のシリコン酸化膜からなるバッド絶縁膜10を形成する。バッド絶縁膜10の上には、厚さ50nm～400nmのシリコン窒化膜等からなる耐酸化性膜11を形成する。そして、耐酸化性膜11の上に、所定の領域に開口を有するレジスト（図示せず）を形成する。

#### 【0061】

次に、レジストをマスクとしてエッチングを行うことにより、バッド絶縁膜10と耐酸化性膜11とを選択的に除去して半導体基板1の上面のうち所定の領域を露出させて、開口12を形成し、その後レジストを除去する。なお、開口12の幅は、0.13μm～30.0μm程度に設定する。

#### 【0062】

続いて、図3（b）に示すように、耐酸化性膜11をマスクとして半導体基板1を選択的にエッチングする溝部形成工程により、開口12に溝部13を形成する。なお、溝部13の深さは、10nm～800nmとする。さらに、シリコン基板1の上方から、P型不純物であるボロンを、注入エネルギーが2.0KeV～50KeVで、ドーズ量が $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ の注入条件で注入する。これにより、半導体基板1の表面における溝部13の側面及び底面にP<sup>+</sup>型シリコン層7が形成される。なお、この注入条件は、界面準位間を伝わって暗電流を引き起こす電荷を束縛できるように調整する。

#### 【0063】

次に、シリコン膜堆積工程として図3（c）に示すように、溝部13にシリコン膜14

を被覆性の優れた化学気相堆積法（CVD）を用いて埋め込む。この場合、シリコン膜14として非晶質又は多結晶のシリコン膜を埋め込む。このようにすることにより、シリコン膜14を低温で成膜することができるため、半導体基板1への熱応力ダメージを低減することができる。また、不純物元素の熱拡散を低減できるので、素子分離領域3とシリコン基板1との境界にP<sup>+</sup>型シリコン層7を形成することが容易になる。従って、素子分離領域3とシリコン基板1との境界における電荷の発生を低減することが可能となり、その結果、ランダムノイズを低減できる。

#### 【0064】

続いて、図3（d）に示すように、ウエットエッチングにより耐酸化性膜11とパッド絶縁膜10の一部とを除去して素子分離領域3を形成する。この場合に工程を2段階にわけ、まずCMP研磨又はドライエッチングにより耐酸化性膜11及びパッド絶縁膜10の一部を除去した後、さらにウエットエッチングを行って残存する部分を除去してもよい。

#### 【0065】

その後、半導体基板1の所定の領域にイオン注入を行うことにより、フォトダイオード2及び半導体素子の活性領域（図示せず）を形成する。続いて、周知の方法により、ゲート絶縁膜、ゲート配線、層間絶縁膜、信号線及びパルス伝達線等を形成することにより本実施形態の半導体装置を製造することができる。

#### 【0066】

なお、本実施形態において不純物を含まないシリコンによりシリコン膜14を形成したのが例えば酸素（O）又は窒素（N）等元素からなる若干の不純物を含んでいても同様の効果が得られる。また、この場合には素子分離領域の上に形成される配線と基板との間の寄生容量を減少させるという効果も得られる。

#### 【0067】

また、固体撮像装置がNチャネル型トランジスタのみで設計されている場合には、シリコン膜14としてP型不純物を含む膜を埋め込むことが好ましい。Nチャネル型トランジスタの場合には素子分離領域の上に形成されるゲート配線がN型であるため、ゲート配線と基板との寄生容量を低減することができる。同様にして、固体撮像装置がPチャネル型トランジスタのみで設計されている場合は、シリコン膜14としてN型不純物を含む膜を埋め込む。

#### 【0068】

なお、固体撮像装置がNチャネル型トランジスタ及びPチャネル型トランジスタの両方を含む場合には、Nチャネル型トランジスタ同士及びNチャネル型トランジスタとフォトダイオードとの間の素子分離領域3にはP型不純物を含むシリコン膜を用い、Pチャネル型トランジスタ同士及びPチャネル型トランジスタとフォトダイオードとの間の素子分離領域3にはN型不純物を含む膜を用いることが好ましい。また、Nチャネル型トランジスタとPチャネル型トランジスタとの間の素子分離領域3には、素子分離領域3の上に形成されるゲート電極の導電型とは逆の導電型の膜を用いればよい。

#### 【0069】

また、N型又はP型の不純物を含んだシリコン膜はCVD法により直接成膜してもよく、不純物を含まないシリコン膜を成膜した後に、イオン注入法によりN型又はP型不純物をシリコン膜に注入して形成してもよい。なお、不純物量は、 $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ とすることが好ましい。

#### 【0070】

なお、素子分離領域3にN型又はP型の不純物を含むシリコン膜14を形成した場合には、素子分離機能を向上するために素子分離領域3を接地しバイアスをかけることが望ましい。

#### 【0071】

本実施形態の固体撮像装置によれば、シリコン基板1に溝部13を形成した後に、CVD法を用いてシリコン膜14を埋め込むことにより素子分離領域3を形成している。従って、シリコン基板1と素子分離領域3とは同一の材料で構成されているため、熱処理の際

のストレスを低減することができるので素子分離領域3の境界部分に応力に由来する欠陥が発生しにくい。このため、欠陥が原因となって、フォトダイオードに暗電流や白キズが発生することを防止できる。

#### 【0072】

具体的には、素子分離領域としてSTIを用いた従来の固体撮像装置においては、10万画素あたり約10000個の白キズが観測された。それに対し、素子分離領域としてシリコン膜を形成する本実施形態の固体撮像装置においては白キズ数は100個以下であった。なお、白キズは入射光がない場合に10mV以上の出力を示す画素とした。

#### 【0073】

また、溝部13の側面及び底面には、P型不純物を含むP<sup>+</sup>型シリコン層7が設けられているため、溝部13の形成によって生じた側壁の表面付近と、隣接して形成されている半導体素子の活性領域との間にエネルギー的な障壁が形成されている。従って、キャリアの移動が抑制され、溝部13の形成によって生じた側壁の界面準位を伝って半導体素子の活性領域の側に暗電流が流れることを防止することができる。なお、本実施形態において隣接する半導体素子の活性領域はN型であり、フォトダイオード2はPNP型又はNP型である。

#### 【0074】

なお、図4に示すように素子分離領域3とフォトダイオード2との境界に絶縁膜9を設けてもよい。素子分離領域3をシリコン膜のみにより形成した場合にも十分な素子分離を実現することが可能であるが、薄い絶縁膜9をさらに設けることにより、素子分離領域3の上に設けられたゲート配線と半導体基板1とが電氣的に絶縁されるので寄生容量を低減できる。また、電氣的な素子分離特性も改善できる。その結果、ゲート配線に信号パルスが印加されるとき、遅延を低減できて高速に各画素に配置されているトランジスタを駆動することができる。

#### 【0075】

一方、絶縁膜9は非常に薄いため、熱膨張による応力の影響はごくわずかである。なお、絶縁膜には酸化膜、窒化膜及び酸窒化膜等を用いることができ、CVD法又は熱酸化法等により形成することができる。

#### 【0076】

このように素子分離領域の一部に絶縁膜を設けた場合には、絶縁膜を設けない場合に比べて白キズが増加し、約300個の白キズが観測された。しかし、STIにより素子分離領域を形成した場合と比べて明らかに白キズは減少しており、熱処理に起因するストレスの発生を低減する効果が認められる。

#### 【0077】

なお、本実施形態において素子分離領域3を、シリコン膜により形成したが、熱膨張係数が酸化シリコン(SiO<sub>2</sub>)を超えシリコン以下の材料、すなわち線熱膨張係数が $5 \times 10^{-7}/K$ を超え $0.0415 \times 10^{-4}/K$ 以下の材料により形成すれば同様の効果が得られる。

#### 【0078】

本実施形態においては、図1に示す各画素26における素子分離領域を形成する例について説明を行ったが、垂直シフトレジスタ28、水平シフトレジスタ29及びタイミング発生回路30等からなる周辺回路領域37における素子分離領域も同様の構造とすることができる。

#### 【0079】

図5(a)及び図5(b)は、それぞれ撮像領域27における素子分離領域3と周辺回路領域37における素子分離領域3をいずれもシリコン膜14により構成した場合の図1のV<sub>a</sub>-V<sub>a</sub>線に沿った断面構造及びV<sub>b</sub>-V<sub>b</sub>線に沿った断面構造を示す。この場合、撮像領域と周辺回路領域との素子分離領域3は同一の構造を有しているため、素子分離構造3を形成する工程を短縮することが可能となる。

#### 【0080】



また、図6(a)及び図6(b)は、それぞれ撮像領域27における素子分離領域3をシリコン膜14により構成し、周辺回路37における素子分離領域はSTI構造20を用いて構成した場合の図1のV<sub>a</sub>-V<sub>a</sub>線に沿った断面構造及びV<sub>b</sub>-V<sub>b</sub>線に沿った断面構造を示す。この場合、周辺回路領域37における素子分離領域はSTI構造20により形成されているため、高電圧動作及び高速動作が可能な周辺回路が形成できる。

#### 【0081】

##### (第2の実施形態)

以下に、本発明の第2の実施形態に係る固体撮像装置について図面を用いて説明する。図7は本実施形態の固体撮像装置のフォトダイオード部分の断面構造を示す。なお、図7において図2と同一の構成要素には同一の符号を付与しており説明を省略する。

#### 【0082】

本実施形態の固体撮像装置は、素子分離領域3に多孔質シリコン膜15を用いている。これにより、シリコン基板1と素子分離領域3とは同一の材料で構成されているため、熱処理に起因するストレスを低減することができるので素子分離領域3の境界部分に応力に起因した欠陥が発生しにくい。このため、欠陥が原因となって、フォトダイオードに暗電流や白キズが発生するのを防止することができる。また、素子分離領域3の誘電率を小さくすることができるため、素子分離領域3の上にゲート配線を設ける場合において、ゲート配線と半導体基板1との間に生じる寄生容量を低減することができるので、高速の電荷読み出し動作が可能となる。

#### 【0083】

次に、本実施形態に係る固体撮像装置の製造方法について図面を参照しながら説明する。図8(a)から図8(d)は本実施形態の固体撮像装置の製造工程について工程順に断面構造を示している。

#### 【0084】

まず、図8(a)に示すようにシリコン基板1の上に厚さ1nm~50nm程度のシリコン酸化膜からなるパッド絶縁膜10を形成する。パッド絶縁膜10の上には、厚さ50nm~400nmのシリコン窒化膜等からなる耐酸化性膜11を形成する。そして、耐酸化性膜11の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

#### 【0085】

次に、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜10と耐酸化性膜11とを選択的に除去して半導体基板1の上面のうち所定の領域を露出させて、開口12を形成し、その後レジストを除去する。なお、開口12の幅は、0.13μm~30.0μm程度に設定する。

#### 【0086】

次に、図8(b)に示すように耐酸化性膜11をマスクとして、素子分離領域3である多孔質シリコン膜15を形成する。なお、本実施形態においては、以下のような陽極化成を用いた多孔質膜形成工程によりN型の多孔質シリコン膜15を形成している。

#### 【0087】

図9は本実施形態の多孔質膜形成工程において用いる陽極化成装置を示す。図9に示すように裏面に電極102が形成された半導体基板1がシリコンウエハ台115の上に設置され、半導体基板1の上には耐フッ酸性のフッ素ゴム製Oリング118を介して、テフロン製の反応槽111が設置されている。反応槽111には、エチルアルコールとフッ酸(5%溶液)との1対1溶液である反応溶液119が満たされている。

#### 【0088】

電極102には、導電線113を介在させて定電流源114の陽極が接続され、定電流源114の陰極は導電線113を介在させて反応槽111内の反応溶液119に浸されている白金製の電極112と接続されている。

#### 【0089】

反応槽111の上には100Wのタングステンランプ117が設けられており、半導体基板1の表面に光を照射することができる。また、シリコン基板1が、タングステンラン

ブ 1 1 7 により加熱するのを防ぐために、赤外カットフィルタ 1 1 6 がタンゲステンランプ 1 1 7 の下側に設けられている。また、半導体基板 1 の表面における陽極化成を行う部分に照射される光の強度は均一になるように設定されている。

#### 【 0 0 9 0 】

なお、本実施形態において電極 1 1 2 には白金を用いたが、耐フッ酸性及び低抵抗性を満たすものであれば、他の材料を用いてもよい。また、フッ酸とエチルアルコールとが含まれていれば、多孔質シリコン膜 1 5 を形成することができるため、反応溶液 1 1 9 の濃度は任意に変更してよい。

#### 【 0 0 9 1 】

本装置を用いて、 $30\text{ mA/cm}^2$  の陽極化成電流を 3 秒間流すことにより、半導体基板 1 の表面における光が照射された領域のみが多孔質化され多孔質シリコン膜 1 5 が形成される。なお、半導体基板 1 の比抵抗及び電流密度により異なるが、 $20\text{ }\mu\text{ m/min}$  程度の速度で多孔質シリコン膜 1 5 を高速に形成することができる。これは、陽極化成時に電流がイオン注入箇所集中して流れるためである。

#### 【 0 0 9 2 】

なお、多孔質シリコン膜 1 5 の深さは、陽極化成電流、陽極化成時間及びタンゲステンランプ 1 1 7 の照射量によって調整でき、陽極化成電流は  $1\text{ mA/cm}^2 \sim 50\text{ mA/cm}^2$  の範囲、陽極化成時間は 1 秒～30 分の範囲で変更可能である。

#### 【 0 0 9 3 】

なお、陽極化成を行う際に、耐酸化性膜 1 1 がマスクの役割を果たすため、所定の素子分離領域にのみ多孔質シリコン膜 1 5 を形成することができる。

#### 【 0 0 9 4 】

次に、図 8 (c) に示すように、シリコン基板 1 の上方から、P 型不純物であるボロンを、注入エネルギーが  $2.0\text{ KeV} \sim 50\text{ KeV}$  で、ドーズ量が  $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$  の注入条件で注入する。これにより、多孔質シリコン膜 1 5 の側面及び底面を取り囲む  $\text{P}^+$  型シリコン層 7 及びフォトダイオード 2 の最表面の  $\text{P}^+$  型表面層 5 が形成される。なお、この注入条件は、界面準位間を伝わって暗電流を引き起こす電荷を束縛できるように調整する。

#### 【 0 0 9 5 】

続いて、図 8 (d) に示すように、ウェットエッチングを行うことにより耐酸化性膜 1 1 とパッド絶縁膜 1 0 の一部とを除去する。この場合に、工程を 2 段階に別け、まず CMP 研磨又はドライエッチングを行うことにより耐酸化性膜 1 1 及びパッド絶縁膜 1 0 の一部を除去した後、さらにウェットエッチングを行って残存する部分を除去してもよい。

#### 【 0 0 9 6 】

その後、半導体基板 1 の所定の領域にイオン注入を行うことにより、フォトダイオード 2 及び半導体素子の活性領域（図示せず）を形成する。次に、周知の方法により、ゲート絶縁膜、ゲート配線、層間絶縁膜、信号線及びパルス伝達線を形成することにより本実施形態の半導体装置を製造することができる。

#### 【 0 0 9 7 】

本実施形態の固体撮像装置によれば、シリコン基板 1 の表面に陽極化成法を用いて多孔質シリコン膜 1 5 を形成することにより素子分離領域 3 を形成している。従って、シリコン基板 1 と素子分離領域 3 とは同一の材料で構成されているため、熱処理の際のストレスを低減することができるので欠陥が発生しにくい。従って、欠陥に起因する暗電流や白キズの発生を防止することができる。

#### 【 0 0 9 8 】

また、素子分離領域 3 を多孔質化することにより素子分離領域 3 の誘電率を低くすることができるため、素子分離領域 3 の上にゲート配線を設ける場合において、ゲート配線とシリコン基板 1 との間に生じる寄生容量を低減することができるので、電荷読み出し動作を高速で行えるようになる。

#### 【 0 0 9 9 】

なお、素子分離領域の上に配置するゲート電極と半導体基板１との寄生容量の影響をさらに低減するために、多孔質シリコン膜１５の一部を酸化して絶縁膜を形成してもよい。酸化の方法としては例えば、酸素原子を含むガス中において炉あるいは抵抗加熱により加熱を行えばよい。

#### 【０１００】

また、陽極化成を行った後に、槽内に塩化水素溶液を入れて、半導体基板１を陽極、溶液を陰極として電流を流すことにより酸化を行ってもよい。例えば、陽極化成終了後、反応層１１１の溶液を１０％塩化水素溶液に入れ替え、電極に１～６０分間１ｍＡ／ｃｍ<sup>２</sup>～５０ｍＡ／ｃｍ<sup>２</sup>の電流を流すことにより１～１０ｎｍ程度の厚さの酸化膜を形成することができる。

#### 【０１０１】

多孔質シリコン膜１５は非常に酸化されやすいため通常は酸化膜の厚さを制御することが困難であるが、このように同一槽で連続的に酸化工程まで行うことにより、酸化膜の厚さを制御することが可能である。

#### 【０１０２】

素子分離領域としてＳＴＩを用いる従来の固体撮像装置においては、１００万画素あたり約１００００個の白キズが観測された。それに対して、素子分離領域として多孔質シリコン膜を形成する本実施形態の固体撮像装置においては１０００個以下であった。一方、素子分離領域の一部を酸化して絶縁膜を形成した場合には、酸化膜を設けない場合に比べて白キズが増加し、約１１００個の白キズが観測された。しかし、ＳＴＩにより素子分離領域を形成した場合と比べて明らかに白キズは減少しており、熱処理に起因するストレスの発生を低減する効果が認められる。なお、入射光がない場合に１０ｍＶ以上を示す画素を白キズとした。

#### 【０１０３】

本実施形態に示した製造方法の他に、第１の実施形態と同様にして溝１３を形成し、溝１３にシリコン膜１４を埋め込み、その後、本実施形態の装置を用いて陽極化成を行うことにより、図４に示す断面構造と同一の多孔質シリコン膜１５からなる素子分離領域３を形成することができる。この場合には、多孔質シリコン膜１５を形成する際に、電流が流れる箇所が選択的に多孔質化されるため、シリコン膜１４を陽極として、反応溶液１１９を陰極として陽極化成を行う。なお、ホールと反応溶液１１９との反応で多孔質シリコン膜１５ができるため、タンゲステンランプ１１７によるホールの発生を必要としないので、タンゲステンランプ１１７を使用する必要はない。また、シリコン膜１４をＰ型の不純物を含む膜とすることにより多孔質シリコン膜１５をＰ型とすることもできる。

#### 【０１０４】

（第２の実施形態の一変形例）

以下に、本発明の第２の実施形態の一変形例に係る固体撮像装置について図面を参照しながら説明する。

#### 【０１０５】

本変形例における固体撮像装置は、図７における素子分離領域３がＰ型の多孔質シリコンにより形成されていることを特徴とする。

#### 【０１０６】

図１０（ａ）から図１０（ｄ）は、本変形例の固体撮像装置の製造工程について工程順に断面構造を示している。

#### 【０１０７】

まず、図１０（ａ）に示すように、所定の領域に開口を有するレジスト（図示せず）を形成し、そのレジストをマスクとしてイオン注入を行い、所定の位置にＰ型不純物を含むＰ型シリコン部１６を形成する。

#### 【０１０８】

次に、図１０（ｂ）に示すように、半導体基板１の表面におけるＰ型シリコン部１６の一部分に電極を形成した後、陽極化成を行うことにより多孔質シリコン膜１５を形成する

#### 【0109】

陽極化成は第2の実施形態と同様の手順により行う。本変形例においては、P型シリコン部16を選択的に多孔質化するため、P型シリコン部16を陽極として、反応溶液119を陰極として陽極化成を行う。なお、P型不純物を含むシリコン膜に対して陽極化成を行うため、ランプによるホールの発生を必要としないので、タングステンランプ118を使用する必要がない。このため、本変形例においてはターンアラウンドタイム（TAT）が短いプロセスを実現することが可能である。

#### 【0110】

次に、図10（c）に示すように、シリコン基板1の上方から、P型不純物であるボロンを、注入エネルギーが2.0 KeV～50 KeVで、ドーズ量が $1 \times 10^{11} / \text{cm}^2$ ～ $1 \times 10^{15} / \text{cm}^2$ の注入条件で注入する。これにより、多孔質シリコン膜15の側面及び底面を取り囲むP<sup>+</sup>型シリコン層7及びフォトダイオード2の最表面のP<sup>+</sup>型表面層5が形成される。なお、この注入条件は、界面準位間を伝わって暗電流を引き起こす電荷を束縛できるように調整する。

#### 【0111】

続いて、図10（d）に示すように、半導体基板1の所定の領域にイオン注入を行うことにより、フォトダイオード2及び半導体素子の活性領域（図示せず）を形成する。次に、周知の方法により、ゲート絶縁膜、ゲート配線、層間絶縁膜、信号線及びパルス伝達線を形成することにより本実施形態の半導体装置を製造することができる。

#### 【0112】

本変形例においては、素子分離領域3である多孔質シリコン膜15はP型の導電性を有している。半導体素子がNチャネル型トランジスタにより構成されている場合には、素子分離領域3の上に形成されるゲート配線はN型であるため、本変形例のように素子分離領域3をP型不純物を含む多孔質シリコンとすることにより、ゲート配線とシリコン基板1との間の容量を低減することができ、固体撮像装置を高速に動作させることができる。

#### 【0113】

なお、N型とP型の半導体素子が1枚の基板の上に混在している場合には、必要に応じて、第2の実施形態に示したN型の多孔質シリコン膜と本変形例に示したP型の多孔質シリコン膜とを混在させて形成すればよい。

#### 【0114】

また、第2の実施形態と同様に多孔質シリコン膜15の一部を熱酸化又は電解槽において酸化することにより、酸化膜を形成してもよい。

#### 【0115】

##### （第3の実施形態）

以下に、本発明の第3の実施形態に係る固体撮像装置及びその製造方法について図面を参照しながら説明する。

#### 【0116】

図11は本実施形態の固体撮像装置のフォトダイオード部分の断面構造を示す。なお、図11において図2と同一の構成要素には同一の符号を付与しており説明を省略する。本実施形態においては、熱処理の際の応力を低減するために素子分離領域3をシリコン膜41及び多孔質シリコン膜42により形成しており、図11に示すようにU字型の多孔質シリコン膜42がシリコン膜41の間に埋め込まれている。

#### 【0117】

図12（a）から図12（e）は、本実施形態の固体撮像装置の製造工程について工程順に断面構造を示している。

#### 【0118】

まず、図12（a）に示すようにシリコン基板1の上に厚さ1 nm～50 nm程度のシリコン酸化膜からなるパッド絶縁膜10を形成する。パッド絶縁膜10の上には、厚さ50 nm～400 nmのシリコン窒化膜等からなる耐酸化性膜11を形成する。そして、耐

酸化性膜 11 の上に、所定の領域に開口を有するレジスト（図示せず）を形成する。

#### 【0119】

次に、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜 10 と耐酸化性膜 11 とを選択的に除去して半導体基板 1 の上面のうち所定の領域を露出させて、開口 12 を形成し、その後レジストを除去する。なお、開口 12 の幅は、 $0.13\mu\text{m} \sim 30.0\mu\text{m}$  程度に設定する。

#### 【0120】

続いて、図 12 (b) に示すように、耐酸化性膜 11 をマスクとして半導体基板 1 を選択的にエッチングする溝部形成工程により、開口 12 に溝部 13 を形成する。なお、溝部 13 の深さは、 $10\text{nm} \sim 800\text{nm}$  とする。さらに、シリコン基板 1 の上方から、P 型不純物であるボロンを、注入エネルギー  $2.0\text{KeV} \sim 50\text{KeV}$  で、ドーズ量  $1 \times 10^{11}/\text{cm}^2 \sim 1 \times 10^{15}/\text{cm}^2$  の条件で注入する。これにより、半導体基板 1 の表面における溝部 13 の側面及び底面に  $\text{P}^+$  型シリコン層 7 が形成される。なお、この注入条件は、界面準位間を伝わって暗電流を引き起こす電荷を束縛できるように調整する。

#### 【0121】

次に、図 12 (c) に示すように、耐酸化性膜 11 をマスクとして CVD 法により溝部 13 に N 型不純物を含むシリコン膜 17 及び P 型不純物を含むシリコン膜 18 を繰り返し堆積して溝部 13 を完全に埋め込む。

#### 【0122】

本実施形態においては、まず、CVD 法により N 型不純物を含むシリコン膜 17 を  $10\text{nm} \sim 100\text{nm}$  の厚さに堆積し、次に、P 型不純物を含むシリコン膜 18 を  $10\text{nm} \sim 100\text{nm}$  の厚さに堆積し、さらに、N 型不純物を含むシリコン膜 17 を溝 13 が完全に埋め込まれるまで堆積した。なお、堆積の順序は逆にしてもよい。また、本実施形態においてはシリコン膜として多結晶のシリコン膜を用い、3 層堆積させたが 4 層以上堆積させてもよい。

#### 【0123】

次に、図 12 (d) に示すように、耐酸化性膜 11 をストッパとして CMP 研磨を行い、P 型不純物を含むシリコン膜 17 の一部を露出させる。その後、第 2 の実施形態と同様の陽極化成装置を用いて素子分離領域 3 の一部分を多孔質化する。このとき、電極は、溶液に浸していない半導体基板 1 の表面の素子分離領域 3 の一部分に形成する。このとき、タンゲステンランプ 117 を用いないで陽極化成を行うことにより、P 型不純物を含むシリコン膜 18 のみを選択的に多孔質化することができる。

#### 【0124】

その後、図 12 (e) に示すように、ウェットエッチングを行うことにより耐酸化性膜 11 とパッド絶縁膜 10 の一部とを除去する。

#### 【0125】

次に、半導体基板 1 の所定の領域にイオン注入を行うことにより、フォトダイオード 2 及び半導体素子の活性領域（図示せず）を形成する。次に、周知の方法により、ゲート絶縁膜、ゲート配線、層間絶縁膜、信号線及びパルス伝達線を形成することにより本実施形態の半導体装置を製造することができる。

#### 【0126】

本実施形態の固体撮像装置によれば、溝部 13 に埋め込まれた一部が多孔質化されたシリコン膜により素子分離領域 3 が形成されているため、シリコン基板 1 と素子分離領域 3 とは同一の材料で構成されているので、熱処理の際のストレスを低減することができるので欠陥が発生しにくい。その結果、欠陥が原因となって、暗電流や白キズが発生するのを防止することができる。また、素子分離領域の一部が多孔質化されているため、素子分離領域の誘電率を小さくすることができるため、撮像装置の動作速度を向上させることもできる。

#### 【0127】

具体的には、素子分離領域として STI を用いた従来の固体撮像装置においては、10

0万画素あたり約10000個の白キズが観測された。それに対し、素子分離領域としてシリコン膜及び多孔質シリコン膜を形成する本実施形態の固体撮像装置においては白キズ数は500個以下であった。なお、白キズは入射光がない場合に10mV以上の出力を示す画素とした。

#### 【0128】

(第4の実施形態)

以下に、本発明の第3の実施形態に係る固体撮像装置及びその製造方法について図面を参照しながら説明する。

#### 【0129】

図13は本実施形態に係るカメラの構成を模式的に示す。図13に示すように、本実施形態のカメラモジュール81は、本発明の第1の実施形態の固体撮像装置71に光学系72が取り付けられたセンサモジュール62と、センサモジュール62を駆動する駆動回路63と、センサモジュール62から出力された信号を処理するデジタルシグナルプロセッサ(DSP)68とにより構成されている。また、カメラモジュール81には必要に応じて表示装置78及び記録メディア79が接続され、カメラシステム82が形成されている。

#### 【0130】

光学系72を通して固体撮像装置71に入射した光は、固体撮像装置71によって電気的信号として出力され、DSP68の前処理部74に一時的に蓄積される。複数のフォトダイオードがマトリックス状に配置された固体撮像装置71の1行ごとにフォトダイオードの蓄積電荷を読み出すため、前処理部74は、固体撮像装置71の1行に設けられているフォトダイオードの数と同数のメモリを備えている。1行ごとに読み出されたフォトダイオードの蓄積電荷は画像処理回路75により最終的にカラー画像に変換されて、さらに表示処理回路76において表示装置78に表示するための信号に変換される。また、メディア制御回路77が設けられており画像を記録メディアに保存できる。

#### 【0131】

以上説明したように、本実施形態のカメラは、ランダムノイズ及び白キズの少ない固体撮像装置71を備えているため、撮影された画像に入るノイズを大幅に低減することができるので、高解像度の撮像が可能となる。また、撮像素子からの信号に含まれるノイズが少ないため、DSP68におけるノイズリダクション等の信号処理にかかる負担を低減することができる。高速に動作するカメラを実現することが可能となる。

#### 【0132】

なお、本実施形態においては、撮像装置として第1の実施形態のものをを用いたが、本発明の他の実施形態又は変形例の撮像装置を用いても同様の効果が得られる。

#### 【0133】

各実施形態においてN型のシリコン基板を用いる例を示したが、P型のシリコン基板を用いても同様の効果が得られる。

#### 【産業上の利用可能性】

#### 【0134】

本発明の固体撮像装置、その製造方法及びそれを用いたカメラは、応力に起因して発生する電荷に由来するランダムノイズ及び白キズの発生を防止して、感度低下のない高感度な固体撮像装置、その製造方法及びカメラを実現することができるという効果を有し、半導体基板上に複数の画素を有する撮像領域が設けられた固体撮像装置及びその製造方法並びにカメラ等に有用である。

#### 【図面の簡単な説明】

#### 【0135】

【図1】本発明の第1の実施形態に係る固体撮像装置を示す回路図である。

【図2】本発明の第1の実施形態に係る固体撮像装置におけるフォトダイオード部分を示す断面図である。

【図3】(a)～(d)は本発明の第1の実施形態に係る固体撮像装置におけるフォ

トダイオード部分の製造方法の各工程を示す断面図である。

【図４】本発明の第１の実施形態に係る固体撮像装置の他の例におけるフォトダイオード部分を示す断面図である。

【図５】（ａ）及び（ｂ）は本発明の第１の実施形態に係る固体撮像装置の一例を示し、（ａ）は図１のＶａ－Ｖａ線における断面図であり、（ｂ）は図１のＶｂ－Ｖｂ線に沿った断面図である。

【図６】（ａ）及び（ｂ）は本発明の第１の実施形態に係る固体撮像装置の他の例を示し、（ａ）は図１のＶａ－Ｖａ線における断面図であり、（ｂ）は図１のＶｂ－Ｖｂ線に沿った断面図である。

【図７】本発明の第２の実施形態に係る固体撮像装置におけるフォトダイオード部分を示す断面図である。

【図８】（ａ）～（ｄ）は本発明の第２の実施形態に係る固体撮像装置におけるフォトダイオード部分の製造方法の各工程を示す断面図である。

【図９】（ａ）～（ｄ）は本発明の第２の実施形態の一変形例に係る固体撮像装置におけるフォトダイオード部分の製造方法の各工程を示す断面図である。

【図１０】本発明に係る固体撮像装置の製造工程で用いる陽極化成装置を示す模式図である。

【図１１】本発明の第３の実施形態に係る固体撮像装置におけるフォトダイオード部分を示す断面図である。

【図１２】（ａ）～（ｅ）は本発明の第３の実施形態に係る固体撮像装置におけるフォトダイオード部分の製造方法の各工程を示す断面図である。

【図１３】本発明の第４の実施形態に係るカメラの構成を示すブロック図である。

【図１４】一般的な固体撮像装置を示す回路図である。

【図１５】従来例に係る固体撮像装置におけるフォトダイオード部分を示す断面図である。

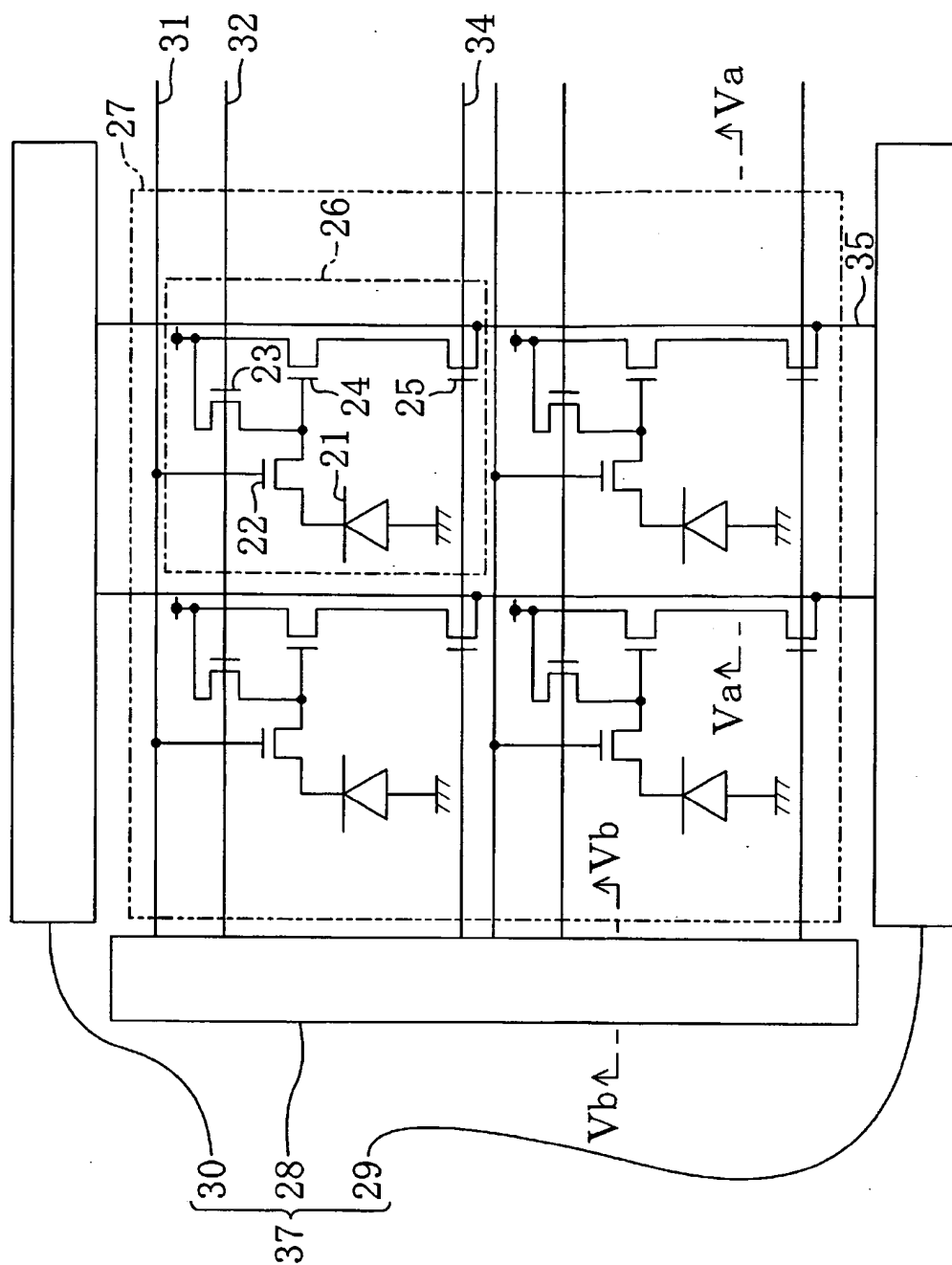
#### 【符号の説明】

##### 【０１３６】

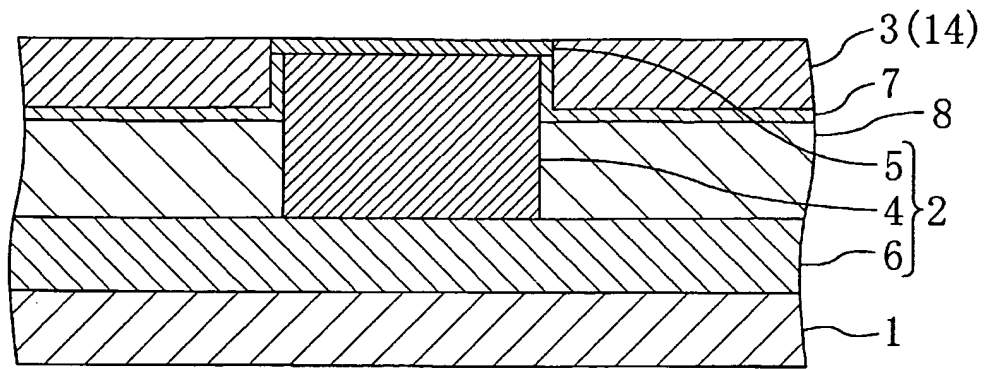
- １    Ｎ型シリコン基板
- ２    フォトダイオード
- ３    素子分離領域
- ４    Ｎ型シリコン層
- ５     $P^+$ 型表面層
- ６     $P^-$ 型シリコン層
- ７     $P^+$ 型シリコン層
- ８    Ｐ型シリコン層
- ９    絶縁膜
- １０   バッド絶縁膜
- １１   耐酸化性膜
- １２   開口部
- １３   溝部
- １４   シリコン膜
- １５   多孔質シリコン膜
- １６   Ｐ型不シリコン部
- １７   Ｎ型不純物を含むシリコン膜
- １８   Ｐ型不純物を含むシリコン膜
- １９   半導体素子
- ２０   ＳＴＩ構造又はＬＯＣＯＳ構造
- ２１   フォトダイオード
- ２２   転送用トランジスタ
- ２３   リセット用トランジスタ

24 増幅用トランジスタ  
25 選択用トランジスタ  
26 画素  
27 撮像領域  
28 垂直シフトレジスタ  
29 水平シフトレジスタ  
30 タイミング発生回路  
31 出力パルス線  
32 出力パルス線  
33 電源  
34 出力パルス線  
37 周辺回路領域  
41 シリコン膜  
42 多孔質シリコン膜  
51 受光領域  
52 素子分離構造  
53 N型シリコン基板  
54 N型シリコン層  
55 P<sup>-</sup>型化シリコン層  
56 P<sup>+</sup>型シリコン層  
57 P<sup>+</sup>型チャネルストップバ層  
58 P型表面側ウエル  
59 P型ディープウエル  
60 P型ブラグウエル  
61 酸化シリコン膜  
102 電極  
111 反応槽  
112 電極  
113 導電線  
114 定電流源  
115 シリコンウエハ台  
116 赤外カットフィルタ  
117 タングステンランプ  
118 Oリング  
119 反応溶液

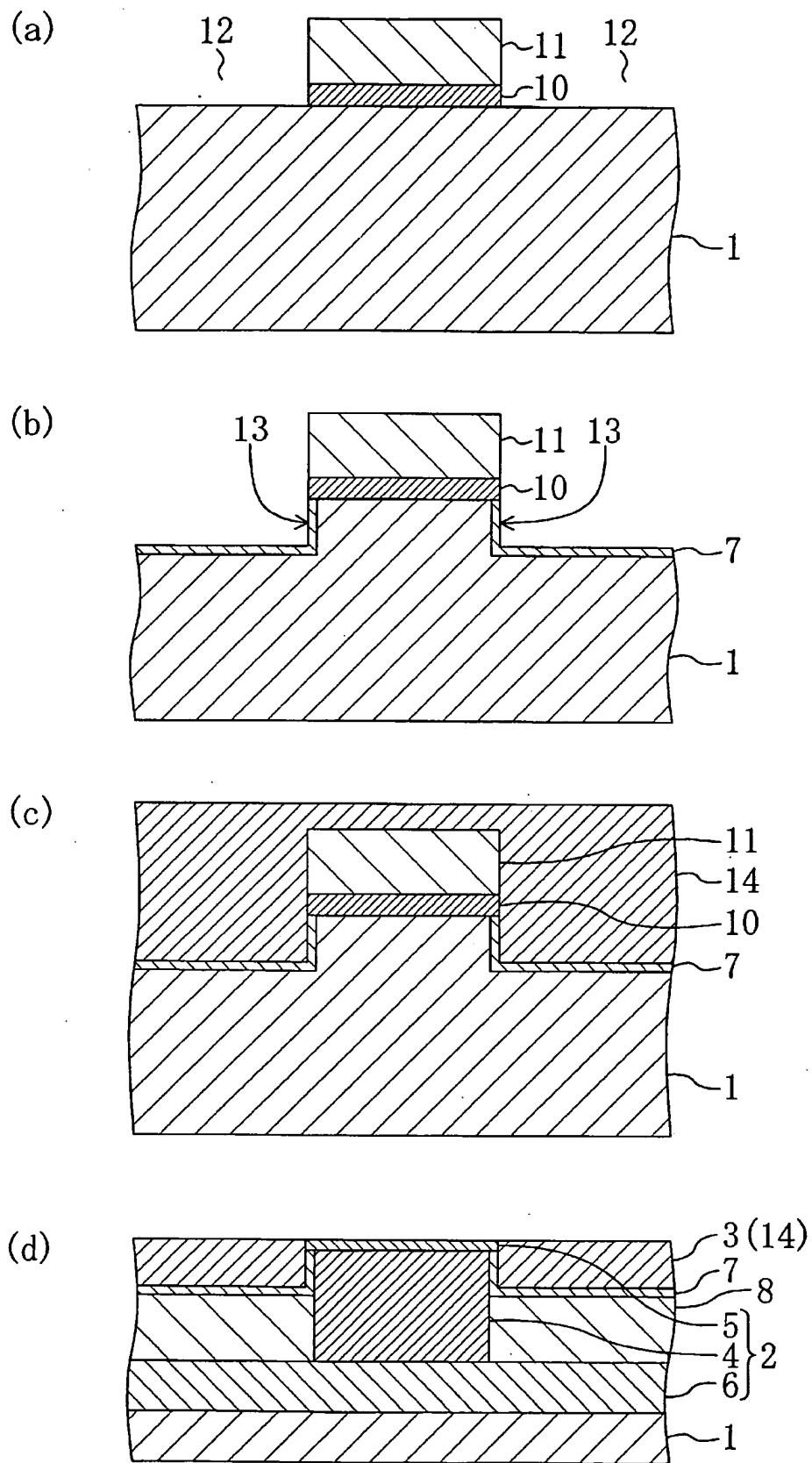




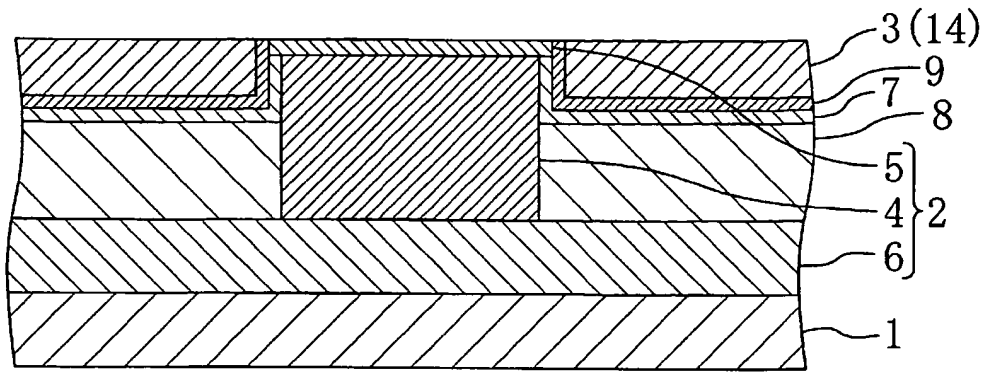
【図 2】

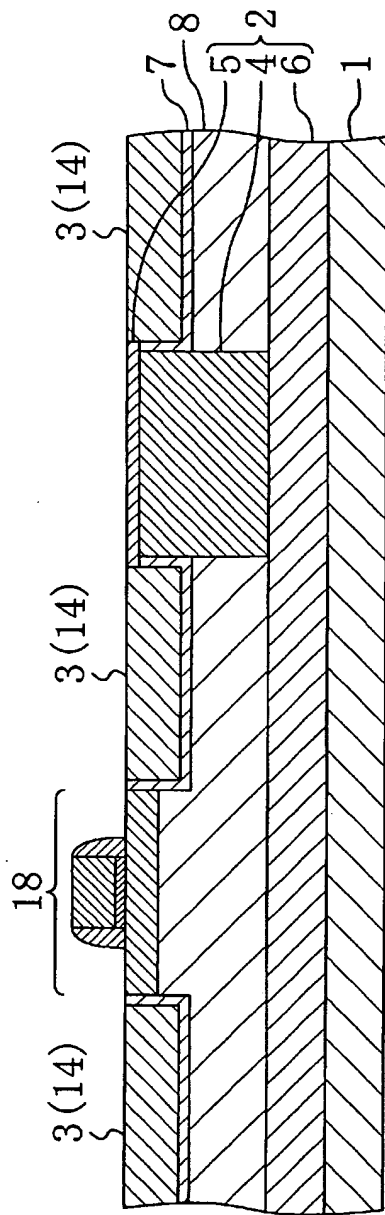


【図 3】

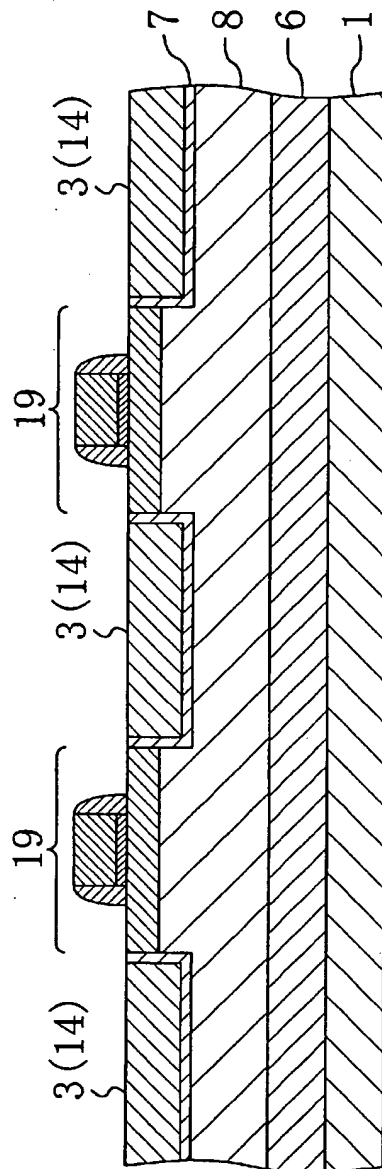


【图4】

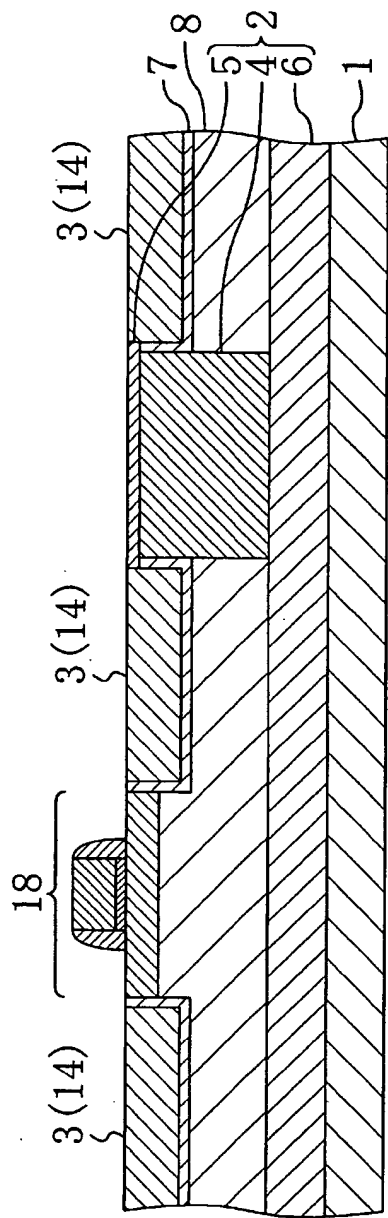




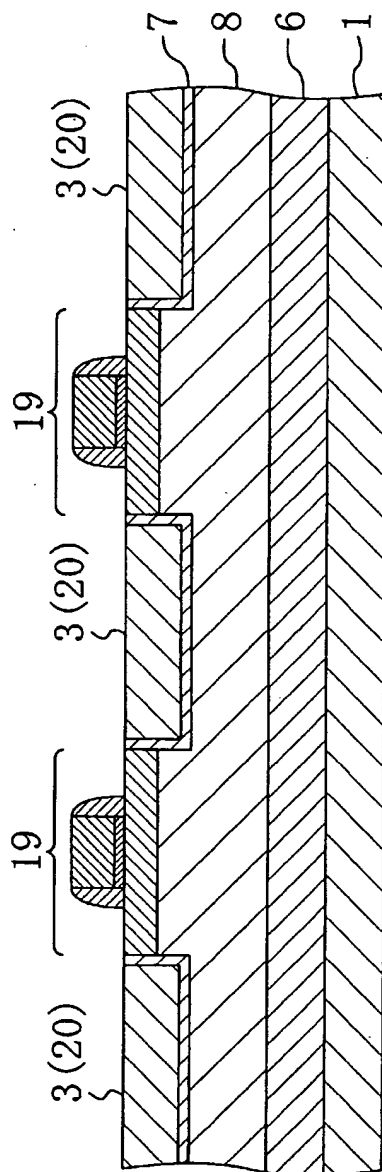
(a)



(b)

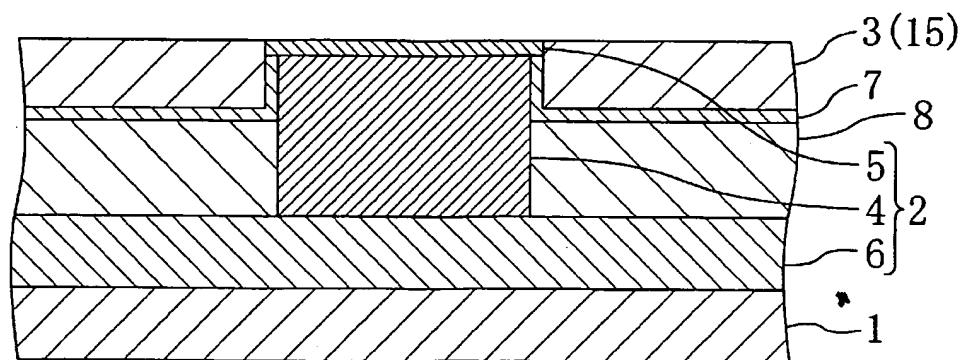


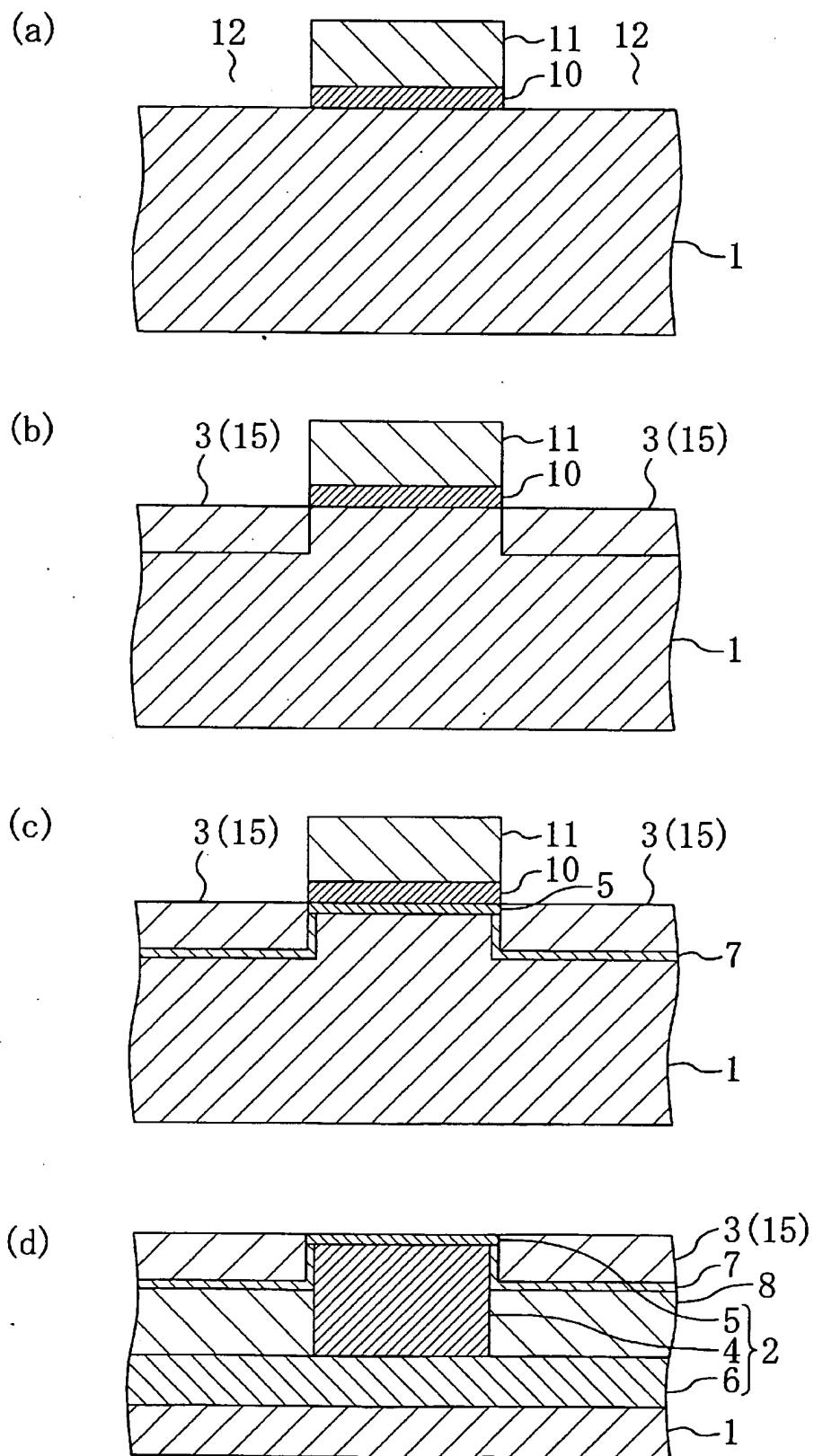
(a)



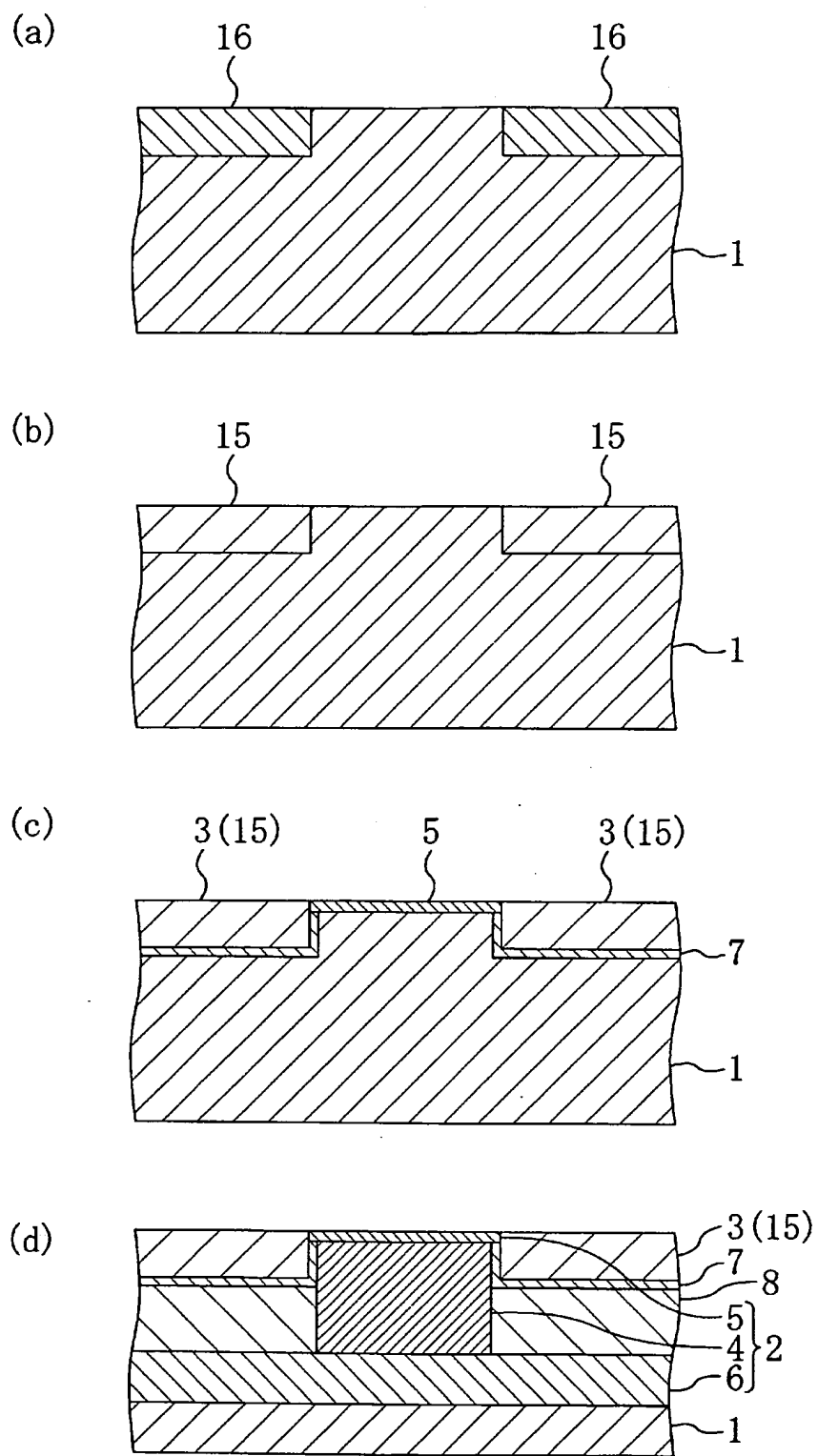
(b)

【図 7】

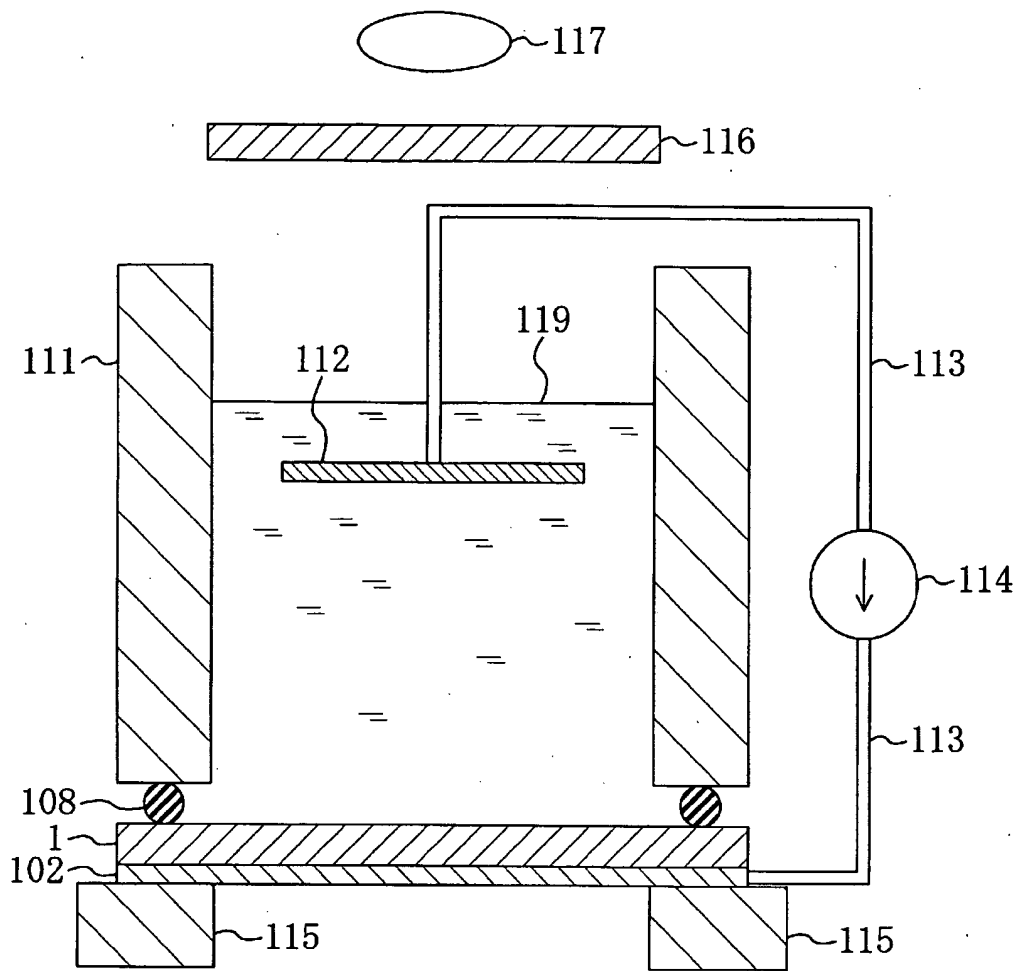




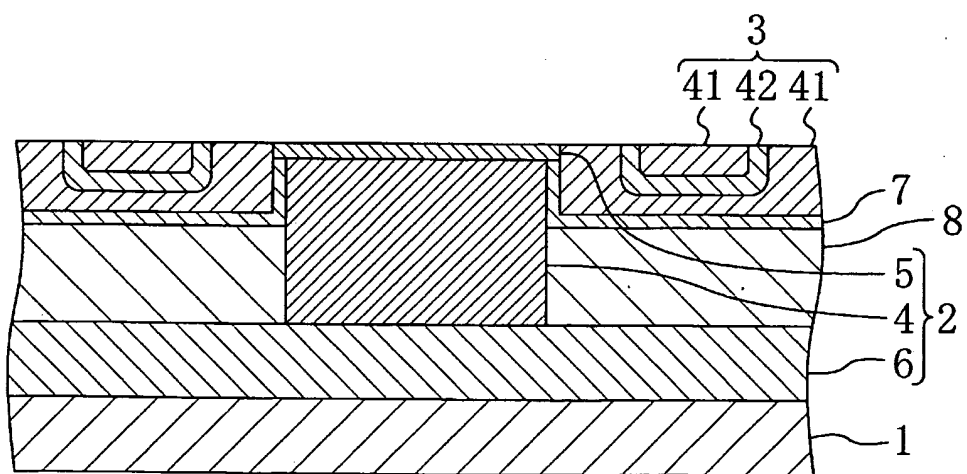


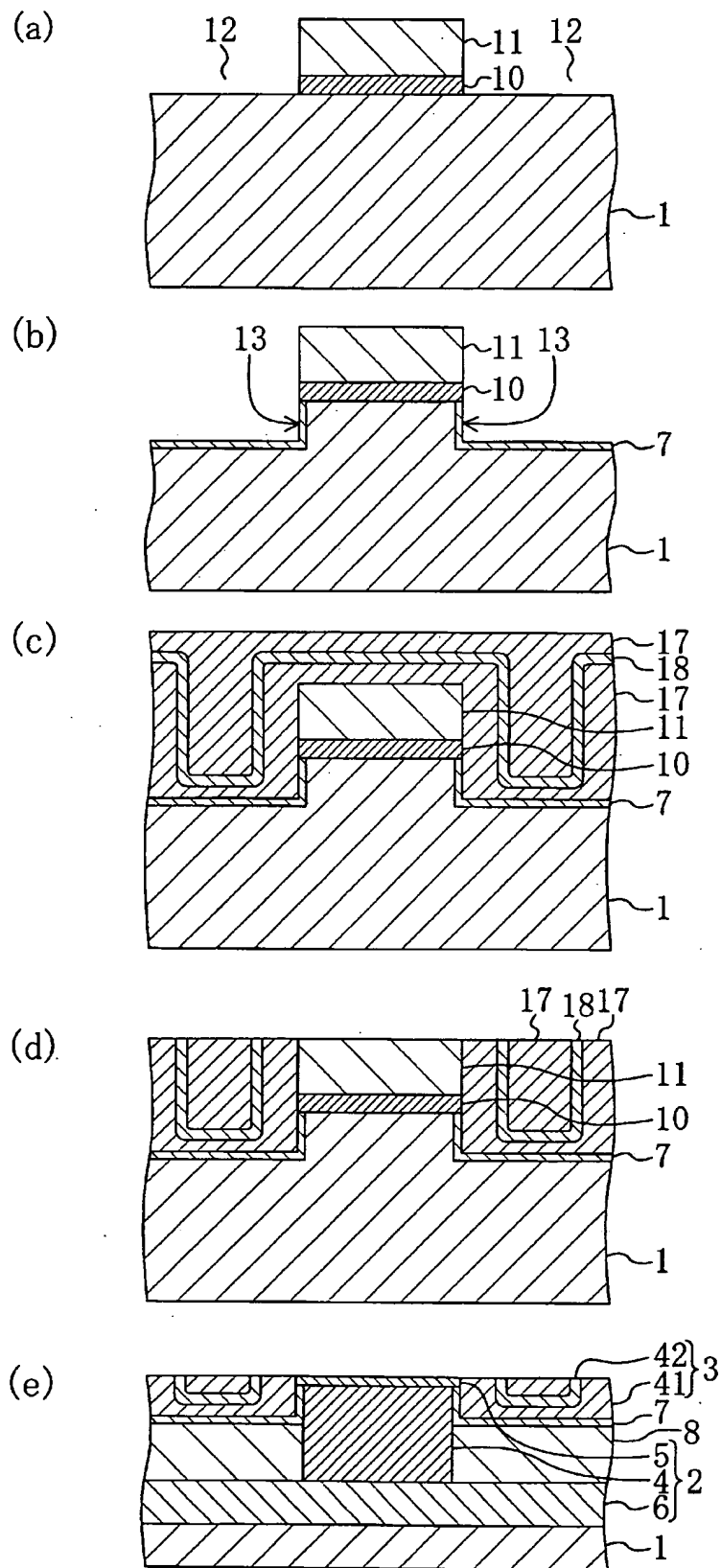


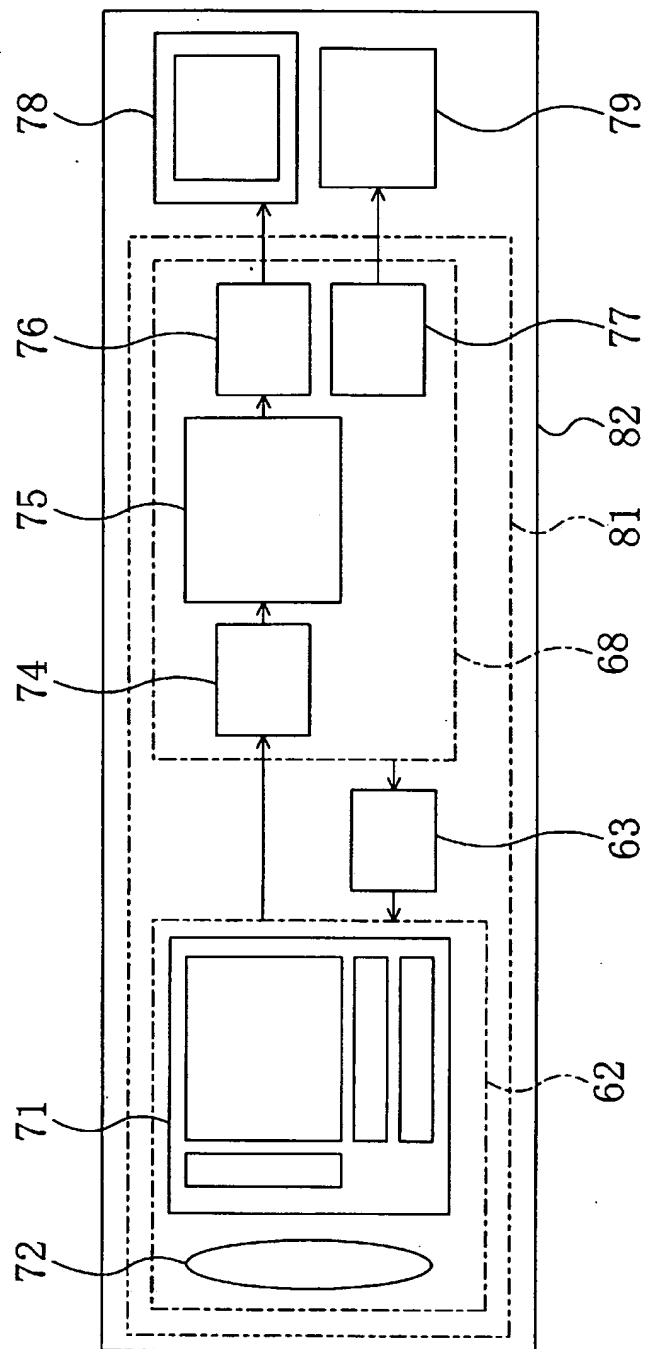
【図10】



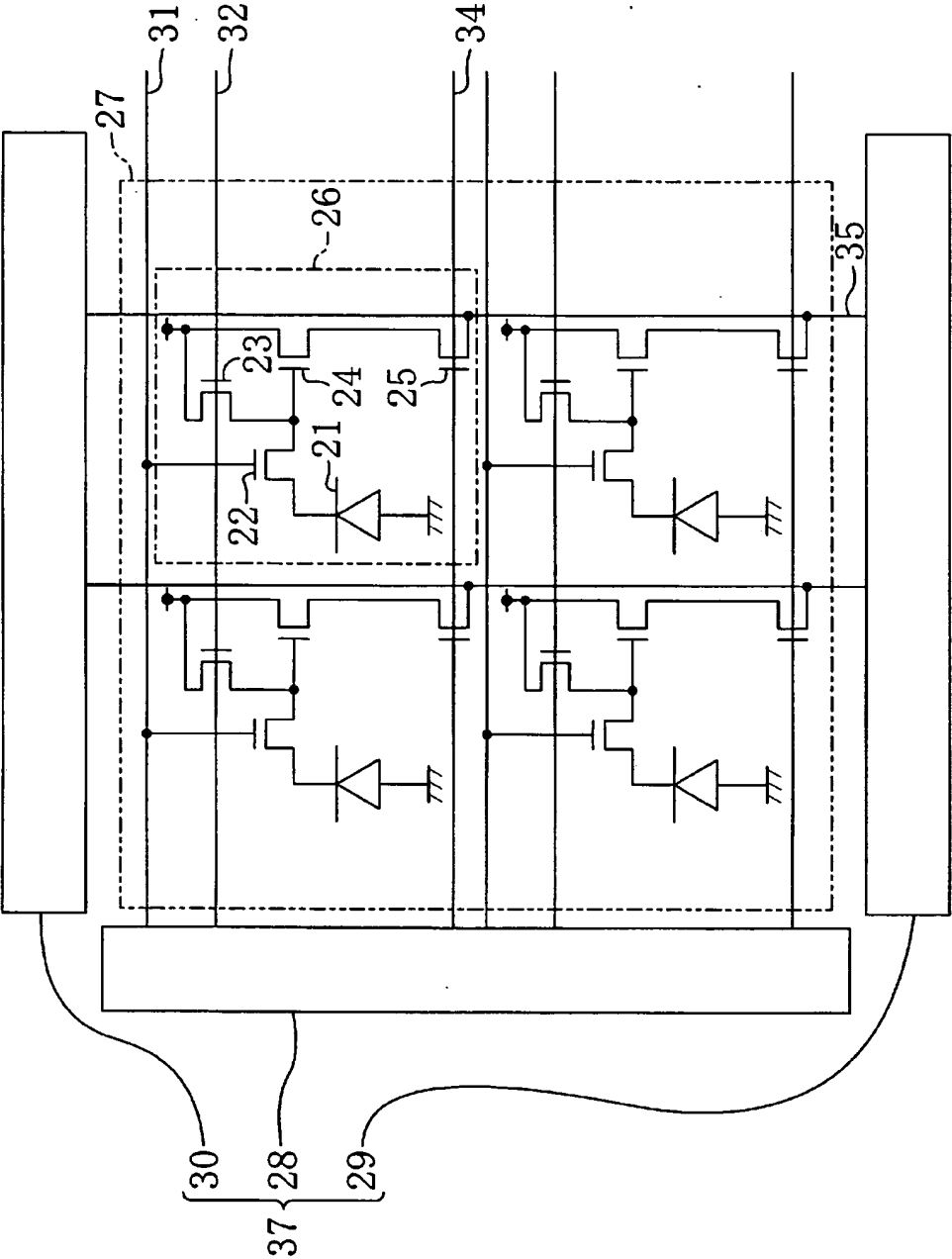
【図11】



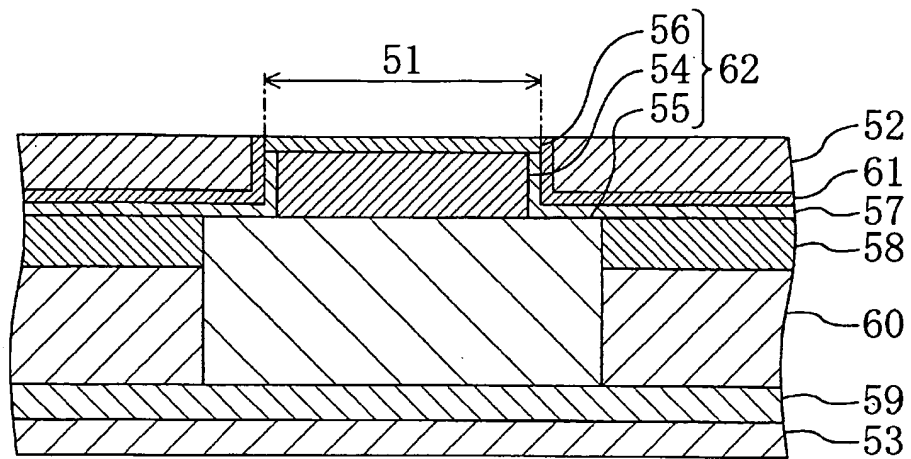




【图 14】



【図 15】



【書類名】要約書

【要約】

【課題】素子分離用領域の電気的な分離特性を確保しつつ、画素サイズの微細化及び受光領域面積の増大を実現すると共に、ランダムノイズ及び白キズの少ない固体撮像装置、その製造方法及びカメラを実現できるようにする

【解決手段】シリコン基板1の上に複数のフォトダイオード2からなる光電変換部と、光電変換部に付随する複数の半導体素子が設けられた固体撮像装置において、シリコン基板1の最上面におけるフォトダイオード2の周囲に設けられ、フォトダイオード2を他のフォトダイオード2及び半導体素子から分離する素子分離領域3を、シリコン基板1を選択的にエッチングすることにより形成した溝部13にCVDにより堆積されたシリコン膜14が埋め込まれた構造とする。

【選択図】図2

出願人履歴

0 0 0 0 0 5 8 2 1

19900828

新規登録

大阪府門真市大字門真1006番地

松下電器産業株式会社